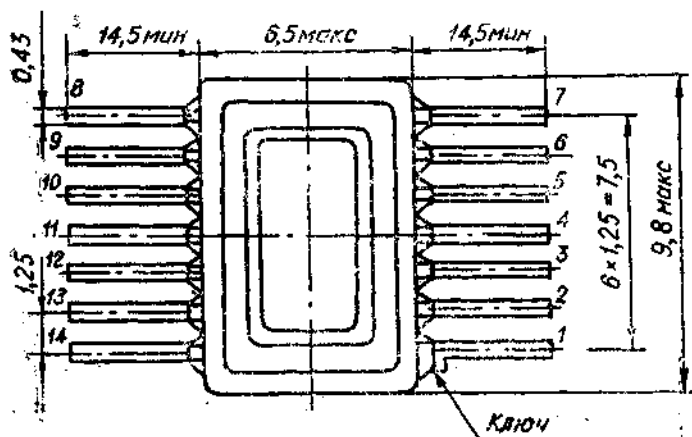
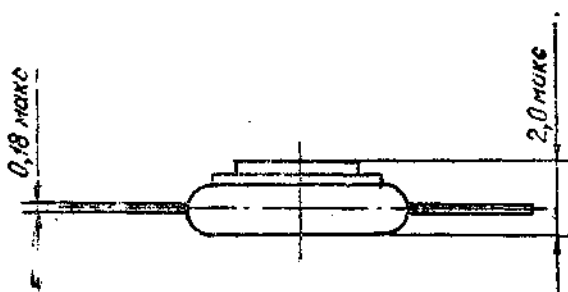
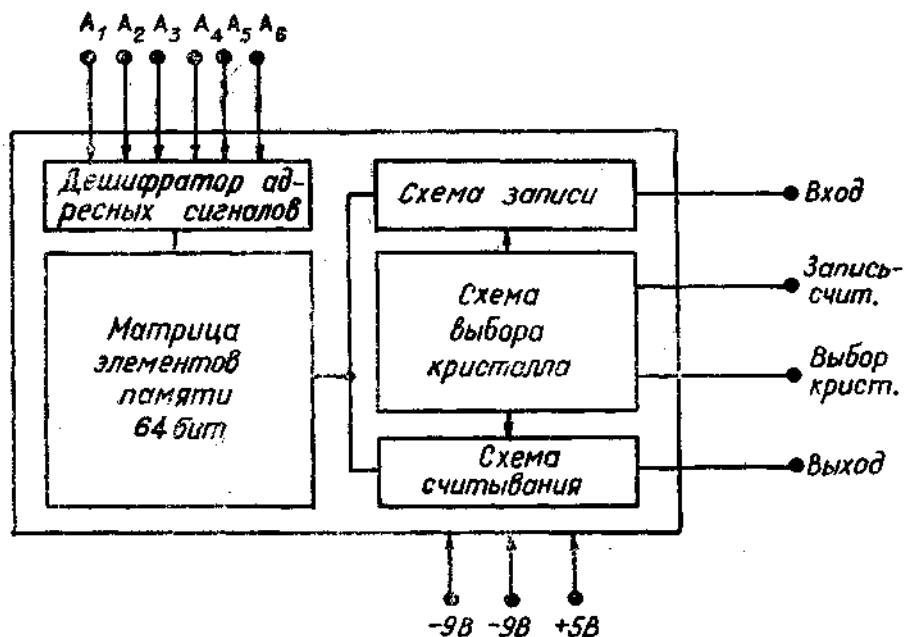


СЕРИЯ 527, К527

ОЗУ статического типа емкостью 64 бит 527РУ1, К527РУ1

Микросхема 527РУ1 представляет собой МДП ОЗУ статического типа с организацией памяти 64 одноразрядных слова, с запоминающей матрицей и схемами управления на одном кристалле



ОБЩИЕ ДАННЫЕ

Тип корпуса: металло-стеклянный 401.14-2

Вес: $\leq 0,8$ г

Вы-вод	Назначение
1	Запись-считывание
2	Выход
3	Вход адресный по A1
4	Выбор кристалла
5	Свободный
6	Питание обрaмления (-9В)
7	Питание матрицы (-9В)
8	Вход адресный по A2
9	Вход адресный по A3
10	Вход адресный по A4
11	Вход
12	Вход адресный по A6
13	Вход адресный по A5
14	Питание подложки (+5В)

Рис. 1. Блок-схема и цоколевка микросхемы ОЗУ

ЭКСПЛУАТАЦИОННЫЕ ДАННЫЕ

527РУ1

Информационная емкость	64 бит
Организация памяти	64×1
Напряжение питания:	
обрамления	-9 В
матрицы	-9 В
смещения подложки	+5 В
Допустимое отклонение напряжений источников питания от номинального значения	±5 %
Уровень напряжения логической «1» на выходе	≥4,0 В
Выходной ток при логическом «0» на выходе	≥2,5 мА
Уровни напряжения на управляющих входах	
логического «0»	≤ +0,4 В
логической «1»	≥ +4,5 В

Время считывания при емкостной нагрузке 20 пФ	≤ 0,8 мксек
Длительность импульса записи	≤ 0,4 мксек
Задержка импульса записи	≤ 0,4 мксек

Максимальная удельная мощность, потребляемая микросхемой от источников питания:

в режиме записи или считывания информации при отключенном от нагрузки выходе	≤ 3 мВт/бит
в режиме хранения при отключенном источнике питания обрамления	≤ 1,2 мВт/бит
в режиме хранения при отключенном источнике питания обрамления и импульсном питании матрицы	≤ 0,05 мВт/бит
Ток утечки по любому входу	≤ 2 мкА
Емкость выводов «управляющие входы»	≤ 5 пФ
Емкость вывода «выход»	≤ 5 пФ
Емкости выводов «питание матрицы», «питание обрамления»	≤ 50 пФ

УСЛОВИЯ ЭКСПЛУАТАЦИИ В ДИАПАЗОНЕ ТЕМПЕРАТУР -60°±+85°С

Относительная влажность при температуре +40°С	98%
Атмосферное давление	5 мм рт. ст. ±3 атм
Вибрация в диапазоне частот 1÷5000 Гц с ускорением	до 40 g
Многokратные ударные перегрузки с максимальным ускорением	до 150 g
Линейные нагрузки с максимальным ускорением	до 150 g
Одиночные удары с ускорением	до 1000 g

Микросхемы выдерживают воздействие плесневых грибков, инея с последующим оттаиванием, морского тумана.

МАКСИМАЛЬНО ДОПУСТИМЫЕ ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ

Напряжение питания обрамления	-10 В
Напряжение питания матрицы	-10 В
Напряжение смещения подложки	+5,25 В
Напряжение на управляющих входах	-10 В

ЗАВИСИМОСТЬ НЕКОТОРЫХ ПАРАМЕТРОВ МИКРОСХЕМЫ ОТ ВНЕШНИХ ВОЗДЕЙСТВИЙ

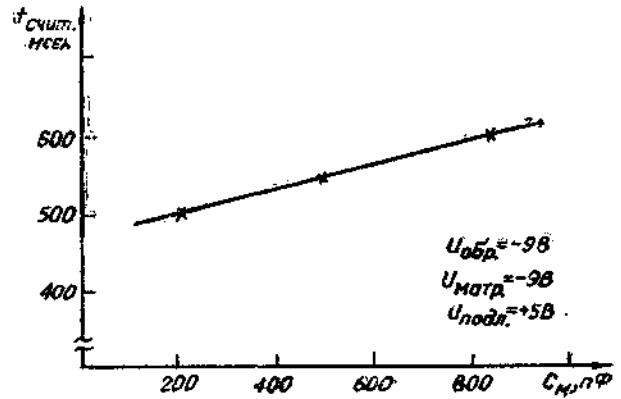


Рис. 2. Зависимость времени считывания от емкости нагрузки

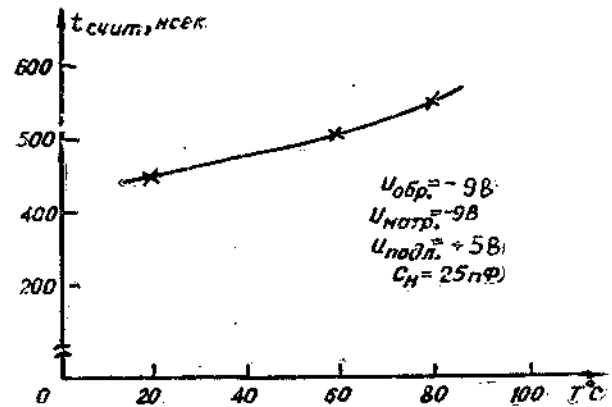


Рис. 3. Зависимость времени считывания от температуры

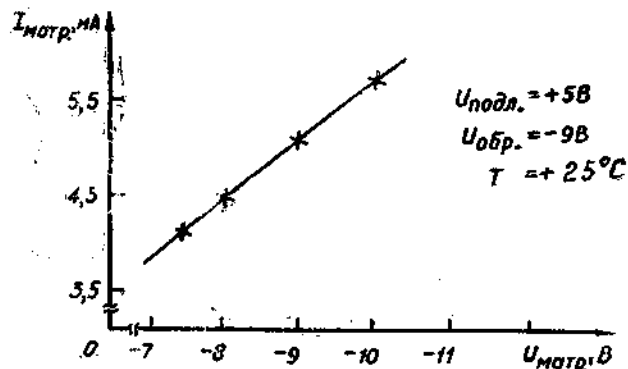


Рис. 4. Зависимость тока потребления матрицы от напряжения на матрице

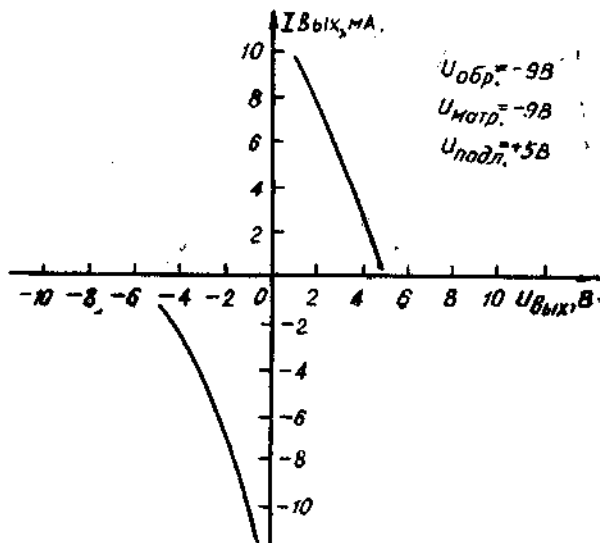
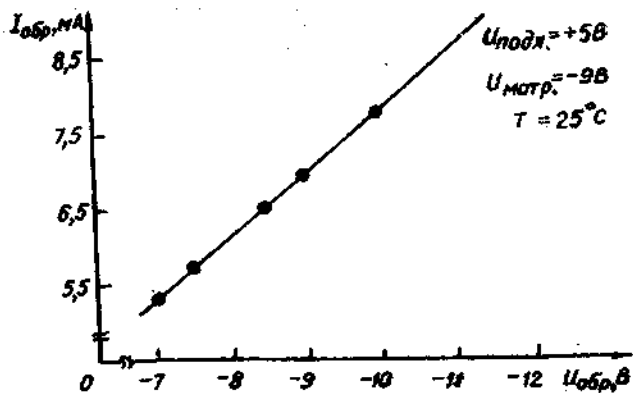


Рис. 5. Зависимость тока потребления обрамления от напряжения на обрамлении

Рис. 6. Выходная нагрузочная характеристика

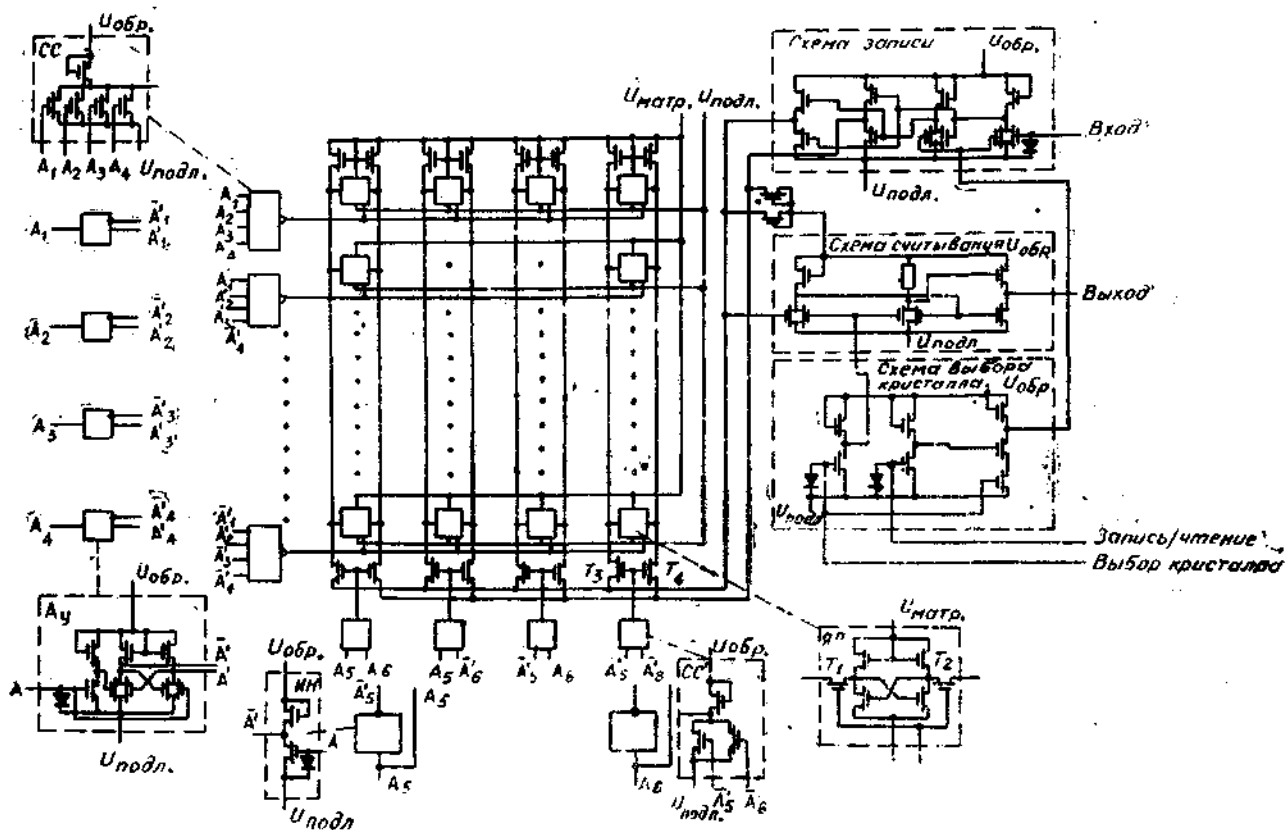


Рис. 7. Принципиальная схема

РЕКОМЕНДАЦИИ ПО ПРИМЕНЕНИЮ

При эксплуатации необходимы тщательные меры предосторожности в целях защиты микросхем от воздействия статического электричества:

1. При хранении и транспортировке выводы микросхем должны быть замкнуты между собой. После снятия закоротки необходимо принять меры по защите микросхем от воздействия статического электричества.

2. Работы с микросхемами должны вестись в антистатической одежде.

3. Все работы, требующие непосредственного соприкосновения с микросхемами, тарой или платой, на которых находятся микросхемы, должны производиться на металлическом заземленном листе.

4. Соприкосновение с микросхемами, тарой или платой, на которых находятся микросхемы, должно производиться только с заземленным

кольцом на руке оператора (сопротивление заземления $0,5 \pm 1 \text{ МОм}$).

5. Пайку микросхем следует проводить паяльником ($U=6 \div 12 \text{ В}$), нагретым до $\leq 260^\circ\text{C}$ в течение $\leq 3 \text{ сек}$, приняв меры, исключающие повреждение микросхем из-за перегрева и механических усилий. Пайка допускается на расстоянии не менее 1 мм от корпуса. В момент пайки все выводы закорачивать. Необходимо обеспечить надежный теплоотвод от места пайки и корпуса прибора.

6. Микросхемы в блоках аппаратуры рекомендуются покрывать не менее чем двумя слоями лака УР231 или Э4100, обеспечивающих лучшую работоспособность микросхемы в условиях повышенной влажности, морского тумана, инея и росы.

7. Запрещается эксплуатация микросхем после демонтажа.

8. Запрещается эксплуатация приборов в предельно допустимых режимах.

ПРИНЦИПИАЛЬНАЯ СХЕМА

Электрическая схема ОЗУ включает следующие функциональные узлы:

— запоминающую матрицу из 64 статических триггеров (ЯП1 ÷ ЯП64).

Каждая ячейка памяти через строчные адресные ключи (Т1, Т2), столбцовые адресные ключи (Т3, Т4), столбцовые и магистральные шины связана со схемами записи и считывания;

— дешифраторы строк и столбцов, которые в соответствии с кодовой комбинацией на шести адресных выводах микросхемы подключают через адресные ключи запоминающую ячейку к магистральным шинам. Дешифратор строк состоит из четырех адресных усилителей (АУ) и шестнадцати четырехходовых схем совпадения (СС). Дешифратор столбцов состоит из двух инверторов (ИН) и четырех двухходовых схем совпадения (СС¹);

— схему записи для установки триггеров матрицы в состояние, определяемое кодом входного числа. Схема записи состоит из двух последовательно включенных двухходовых схем совпадения, которые управляют четырьмя ключами. Запись в ячейку производится, когда на вывод «выбор кристалла» поступает сигнал выбора кристалла (лог. «0»); а на вывод «запись/считывание» — сигнал записи (лог. «1»). Уровни логической «1» и логического «0» соответствуют уровням напряжений на управляющих входах;

— схему считывания, предназначенную для вывода информации из микросхемы. Схема считывания состоит из двух последовательно соединенных двухходовых схем совпадения, которые управляют двумя мощными выходными ключами. Информация с запоминающей ячейки поступает на выход микросхемы,

когда на выводе выбор кристалла логического «0»;

— схему выбора кристалла, предназначенную для разрешения обращения к схеме, т. е. считыванию или записи в нее. Схема состоит из двух инверторов и схемы совпадения. В режиме считывания на выводе «выбор кристалла» логический «0», схема выбора кристалла разблокирует схему считывания, а схема записи заблокирована сигналом считывания. Когда к микросхеме нет обращения, блокируется и схема записи и схема считывания, на выводе «выбор кристалла» должна быть логическая «1». При этом информация не считывается и не записывается.

РАБОТА МИКРОСХЕМЫ

Режим считывания

На адресные входы микросхемы подается кодовая комбинация, определяющая адрес нужной ячейки памяти. На вывод «выбор кристалла» подается сигнал обращения. Он может подаваться одновременно с кодом адреса или с задержкой t_1 , не превышающей 250 нсек . Превышение этой задержки приводит к соответствующему увеличению времени считывания. На выводе «запись/считывание» должен быть логический «0». Интервал времени t_2 от момента смены адресного кода до момента появления на выходе микросхемы информации, хранящейся в выбранной ячейке, называется временем считывания. Интервал времени от момента подачи сигнала «выбор кристалла» до появления на выходе логической «1» или логического «0» называется задержкой выбора кристалла t_2 . Задержка выбора кристалла меньше, чем время срабатывания дешифраторов, поэтому после подачи сигнала «выбор кристалла» через интервал времени t_2 на выходе микросхемы появляется информация, хранящаяся в ячейке, адрес которой соответствовал предыдущему состоянию дешифратора. Затем, если во вновь выбранной ячейке хранится противоположная информация, происходит смена ее на выходе микросхемы.

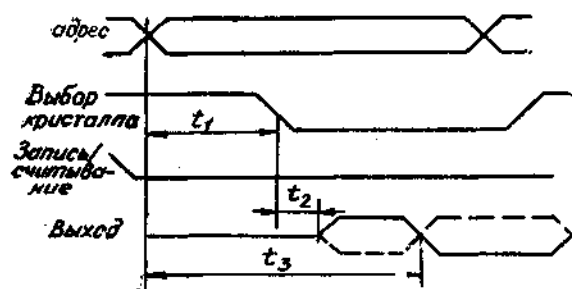
Режим записи

На адресные входы микросхемы подается кодовая комбинация, определяющая адрес нужной ячейки памяти. На вывод «запись/считывание» подается сигнал записи логической «1» с задержкой относительно момента смены адреса t_1 не менее 400 нсек . Уменьшение этой задержки может приводить к сбоям при записи новой информации, а увеличение — к соответствующему удлинению цикла записи. Команда выбора кристалла может подаваться одновременно с новым адресом или с задержкой относительно него t_2 , но не позже чем за 100 нсек до команды записи, т. е.

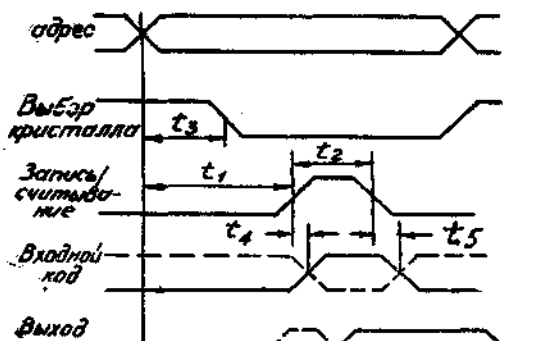
$t_1 - t_3 \geq 100$ нсек. Длительность команды записи t_2 должна быть не менее 400 нсек. Допустимая задержка записываемого кода относительно команды «запись» $t_4 \leq 20$ нсек. Минимально необходимое перекрытие команды «запись» — импульсом кода $t_5 \geq 50$ нсек. Поскольку схема считывания при записи не блокируется, записываемая информация появляется на выходе ОЗУ уже во время действия сигнала записи.

Режим хранения используется для снижения потребляемой мощности

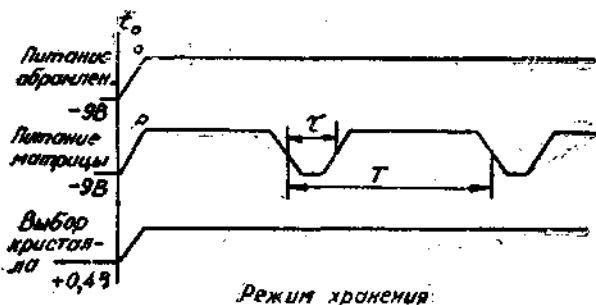
В момент t_0 подачи команды «запрет выбора кристалла», снимается питание с обрэмления, а питание матрицы производится постоянным напряжением или импульсным с частотой $f \geq 10$ кГц и длительностью импульса $\tau \geq 1$ мсек.



Режим считывания



Режим записи



Режим хранения

Рис. 8. Временные диаграммы

Согласование микросхемы ОЗУ с логическими интегральными схемами (рекомендуется использовать общий источник питания обрэмления и матрицы)

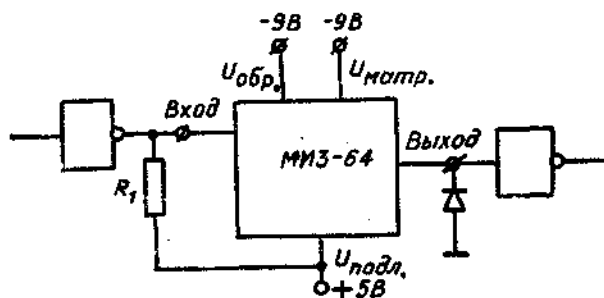


Рис. 9. Схема согласования ОЗУ с ТТЛ микросхемами серий 133, 134, 155 и т. п.

Для согласования по входам ТТЛ вентили должны обеспечивать уровень логической «1» на выходе не менее +4,5 В. В противном случае необходимо соединять выходы ТТЛ вентилей с источником питания +5 В через резисторы 0,5—1 кОм. Источник питания ТТЛ и подложки должен быть общим. Согласование с ТТЛ вентилем по выходу обеспечивается соединением выхода ОЗУ с шиной «земля» через германиевый высокочастотный диод. Тип диода 1Д507 или аналогичный. Уровень логической «1» на выходе логического элемента не менее 8 В. В противном случае выход логического элемента должен быть подключен к источнику питания +9 В через резистор 3±5 кОм.

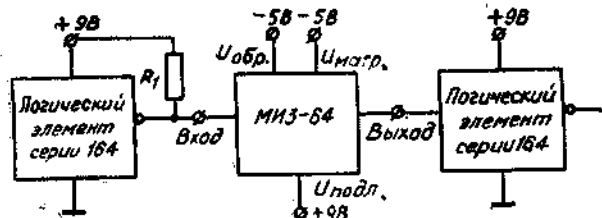


Рис. 10. Схема согласования ОЗУ с микросхемами серии 164

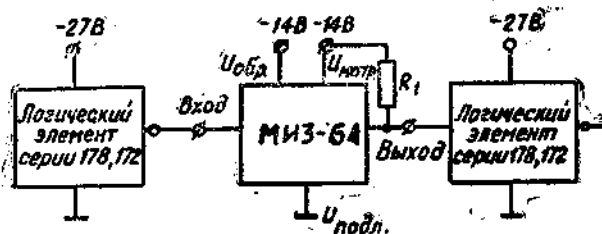


Рис. 11. Схема согласования ОЗУ с микросхемами серий 172, 178. Резистор R_1 должен быть номиналом ≥ 3 кОм

ОБЪЕДИНЕНИЕ МИКРОСХЕМЫ В БЛОКИ ПАМЯТИ

Конструкция микросхем позволяет строить блоки памяти различного формата.

Запоминающая матрица этого модуля состоит из 36 корпусов микросхем памяти. Обрэмление модуля собрано на ТТЛ микросхемах. Ключи K_1 и K_2 по два ключа на каждую стро-

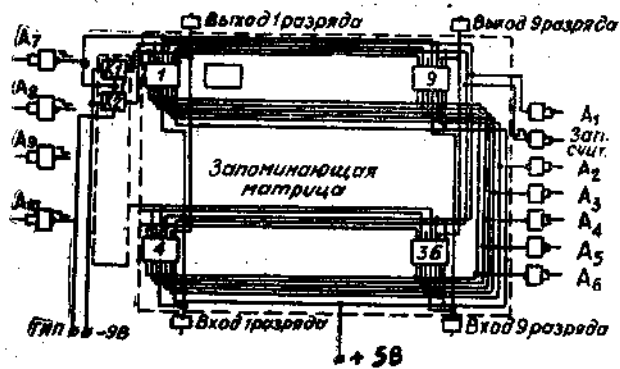


Рис. 12. Схема модуля памяти на 256 девятиразрядных слов, предназначенного для работы с использованием режима хранения

ку микросхем матрицы модуля, коммутирующие цепи питания $U_{обр}$ и $U_{матр}$, собраны из дискретных элементов и транзисторных сборок.

Организация модуля памяти обеспечивает подачу напряжений питания только на ту строку микросхем матрицы модуля, на которую подается сигнал «выбор строки». Остальные строки микросхем запоминающей матрицы находятся в режиме хранения, за счет чего снижается суммарная мощность, рассеиваемая модулем. В режиме хранения снимается питание обрaмления микросхем памяти. Напряжение питания матрицы микросхем памяти определяется видом сигнала, подаваемым на гнездо ГИП модуля памяти.

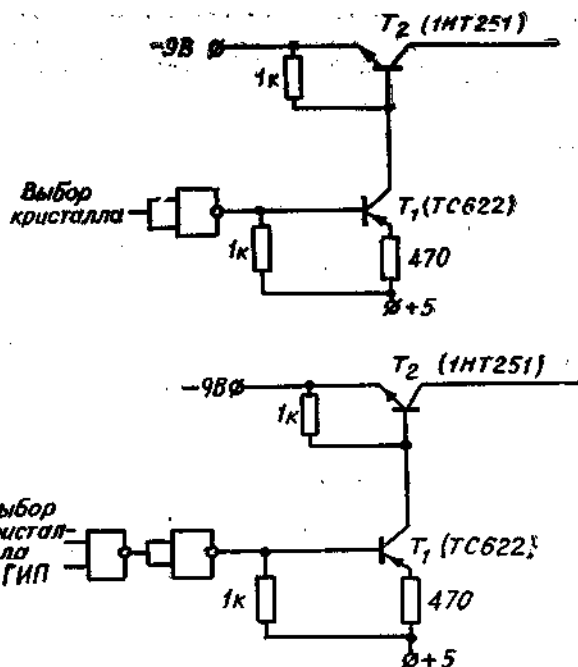


Рис. 13. Схемы управления цепями источников питания обрaмления и матрицы

Оно может быть импульсным или постоянным.

Простым объединением таких «типовых» модулей памяти можно собирать более крупные блоки памяти.

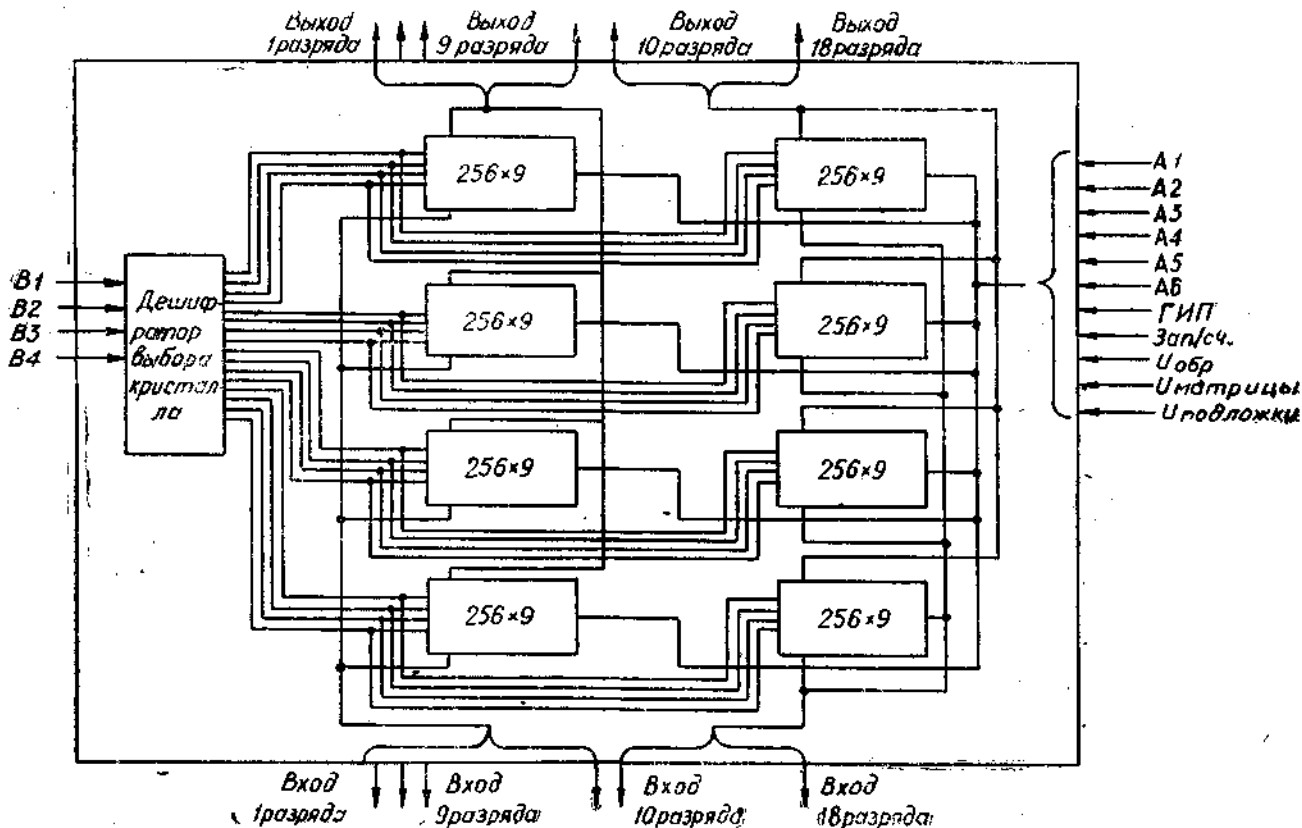


Рис. 14. Схема запоминающего устройства на 1024 восемнадцатиразрядных слов