

(Продолжение, начало №3–4/2001)

Основы схемотехники жидкокристаллических дисплеев

2.3.5. Структура и основные характеристики драйвера SED1520 фирмы Seiko-Epson

SED1520 (рис. 21) предназначен для использования в малоформатных матричных ЖКЭ. Драйвер универсальный

роллером. Две микросхемы SED1520 обеспечивают адресацию ЖКЭ форматам 122x32 [5].

2.3.6. Архитектура драйвера HD44780

Микросхема драйвера-контроллера HD44780 (рис. 24) предназначена для использования

- формирователей 3...11 В;
 - поддержка форматов знаков 5x8 и 5x10;
 - встроенный генератор;
 - 8- или 4-разрядная шина данных для сопряжения с микроконтроллером;
 - максимальная частота обмена по шине данных – 2 МГц;
 - объем дисплейного ОЗУ – 80x8 (80 символов);
 - встроенный фиксированный знакогенератор на 9920 бит;
 - 208 шрифтов формата 5x8;
 - 32 шрифта формата 5x10;
 - пользовательский загружаемый знакогенератор 64x8;
 - программируемый мультиплекс 1:8, 1:11, 1:16;
 - набор дисплейных функций.
- Архитектура драйвера обеспечивает

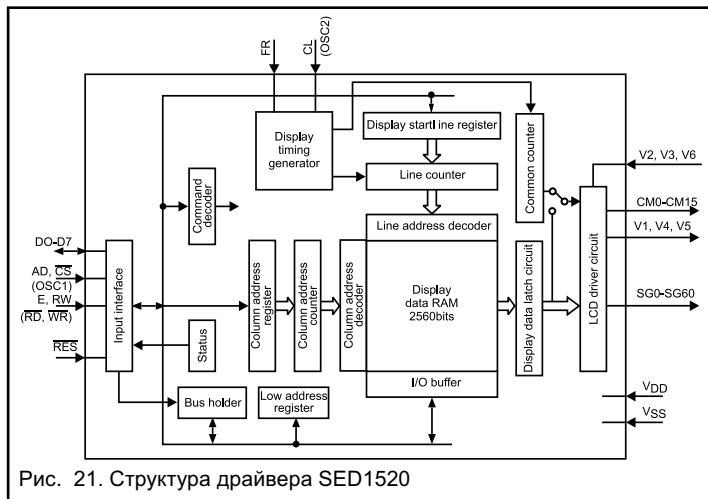


Рис. 21. Структура драйвера SED1520

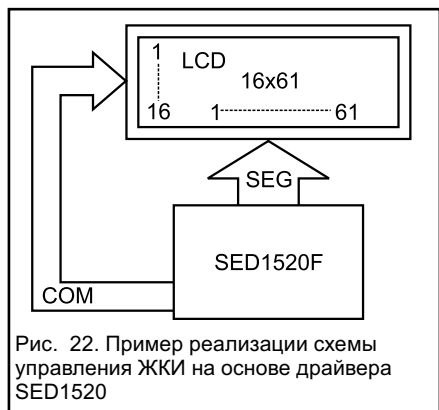


Рис. 22. Пример реализации схемы управления ЖКИ на основе драйвера SED1520

и содержит схемы управления строками и столбцами. Один драйвер без схемы расширения может управлять ЖКЭ форматом до 16x61 (рис. 22). SED1520 может работать в двух режимах: как комплексный, обеспечивая управление строками (16 строк) и столбцами (61 столбец), либо как драйвер столбцов, действуя как схема расширения вместе с другим драйвером. Структура драйвера содержит дисплейную память на 2560 бит (32x80) и схему регенерации. Формирователь напряжений – внешний. Как правило, это обычный резистивный делитель, шунтированный емкостями. Тактирование синхрогенератора производится от внешнего сигнала частотой 2 кГц. Архитектура драйвера поддерживает каскадирование микросхем и расширение числа столбцов. На рис. 23 приведена типовая схема сопряжения драйвера с микроконтроллером.

в символьных ЖКИ. Основа архитектуры драйвера HD44780 разработана в конце 70-х годов и фактически определила стандарт интерфейса для символьных ЖКИ на долгие годы. Аналоги HD44780 выпускает несколько фирм-производителей. Большинство пользователей предпочитают применять ЖКИ именно с системой дисплейных команд, совместимых с HD44780. В России фирма «МЭЛТ» производит символьные дисплеи также на основе драйвера, совместимого с HD44780.

Основные характеристики драйвера:

- число строчных выводов – 16;
- число столбцовых выводов – 40;
- диапазон питающих напряжений для логики 2,7 ... 5,5 В;
- диапазон питающих напряжений для выходных

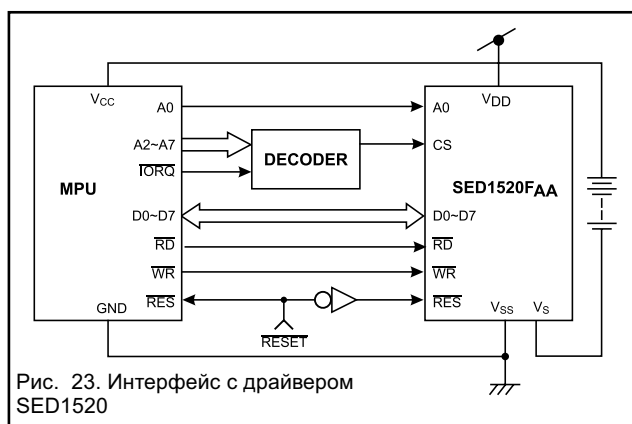


Рис. 23. Интерфейс с драйвером SED1520

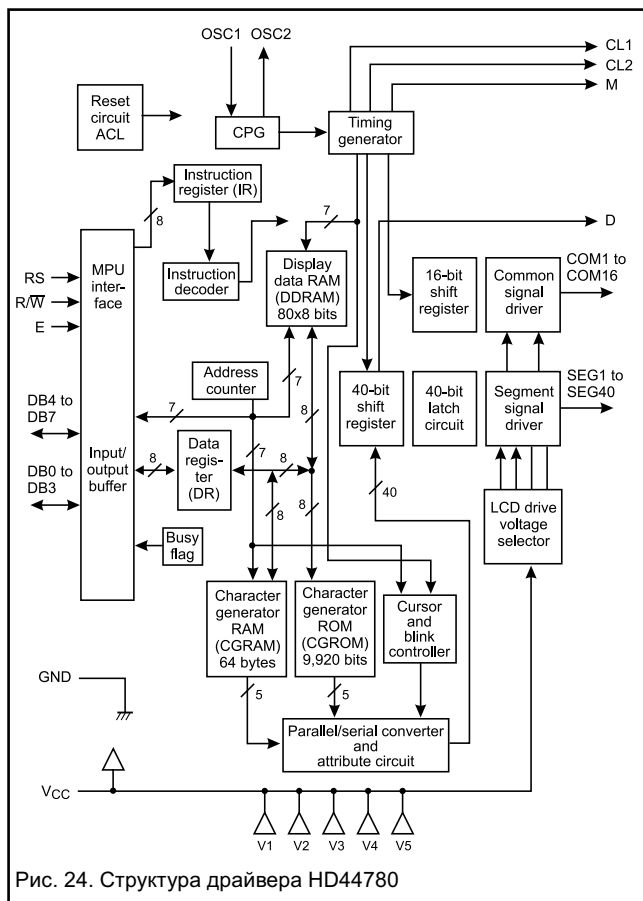


Рис. 24. Структура драйвера HD44780

каскадирование и согласованную работу со схемами расширения по столбцам. В конструкции дисплея микросхема может устанавливаться как в бескорпусном исполнении (с заливкой кристалла компаундом), так и в корпусе (FP-80B или TFP80F). В карте заказа должно быть указано исполнение знакогенератора (возможны варианты Japan, European или Custom – заказной). Этот драйвер используется практически во всех символьных ЖКИ, начиная от формата одна строка на 8 символов, и заканчивая форматом четыре строки по 40 символов. Пример использования драйвера в однострочном ЖКИ показан на рис. 25.

На рис. 26 показаны варианты реализации внешней схемы формирователя

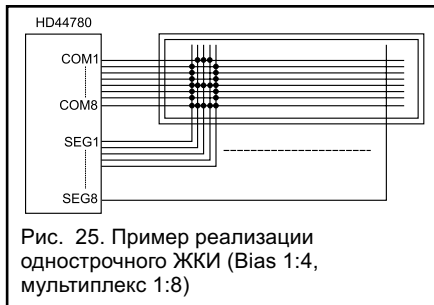


Рис. 25. Пример реализации однострочного ЖКИ (Bias 1:4, мультиплекс 1:8)

лей уровней для разных форматов ЖКИ. Bias 1:4 используется для однострочных дисплеев, во всех остальных вариантах применяется Bias 1:5. В символьных ЖКИ с фиксированными знаками на основе контроллера драйвера HD44780 используется резистивный делитель, состоящий из 5 резисторов номиналом по 1,3 кОм. Ток, протекающий через такой резистивный делитель, составляет от 0,5 до 1 мА.

2.4. Структура строчных и столбцовых драйверов матричных ЖКИ

2.4.1. Структура и режимы работы универсального драйвера матричных ЖКЭ А1835ИД1 (НПО “Интеграл”, Минск)

Драйвер А1835ИД1 предназначен для организации схем управления строками и столбцами матричных ЖКЭ. Микросхема была разработана для использования в микро-ЭВМ “Электрони-

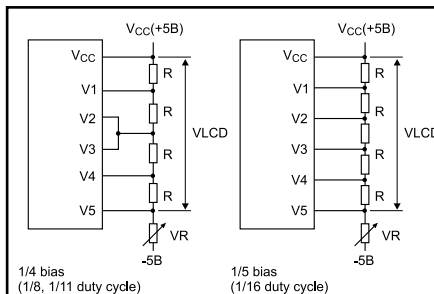


Рис. 26. Организация формирователей уровней для разных режимов

ка ПК–90”. В бескорпусном варианте микросхема использовалась в заказных графических ЖКЭ, выпускаемых НПО “Платан” (Фрязино). Режим работы – строчный или столбцовый – задается потенциалом на входе S/P.

Основные характеристики драйвера:

- питание логической части +5 В;
- диапазон напряжений для питания выходных формирователей: –20...0 В;
- максимальная частота загрузки данных – не более 400 кГц по ТУ (реально – до 600 кГц);
- число выходов управления строками (столбцами) – 40;
- эстафетный механизм для каскадирования как по строкам, так и по столбцам;
- тип корпуса – 64-выводный с четырехсторонним расположением выводов (без аналога).

Структура драйвера показана на рис. 27, а его условное графическое обозначение – на рис. 28. Схема драйвера содержит:

- выходные формирователи напряжений;
- выходной 40-разрядный регистр;

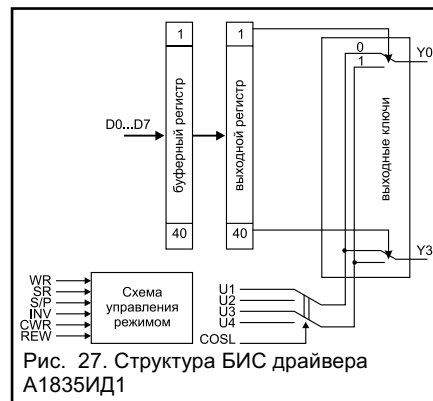


Рис. 27. Структура БИС драйвера А1835ИД1

- 40-разрядный буферный регистр для записи данных;
- схему управления режимами.

В режиме управления столбцами данные по фронту сигнала CWR побайтно записываются в буферный регистр, а затем по сигналу WR производится перезапись в выходной регистр. Выходы этого регистра управляют аналоговыми

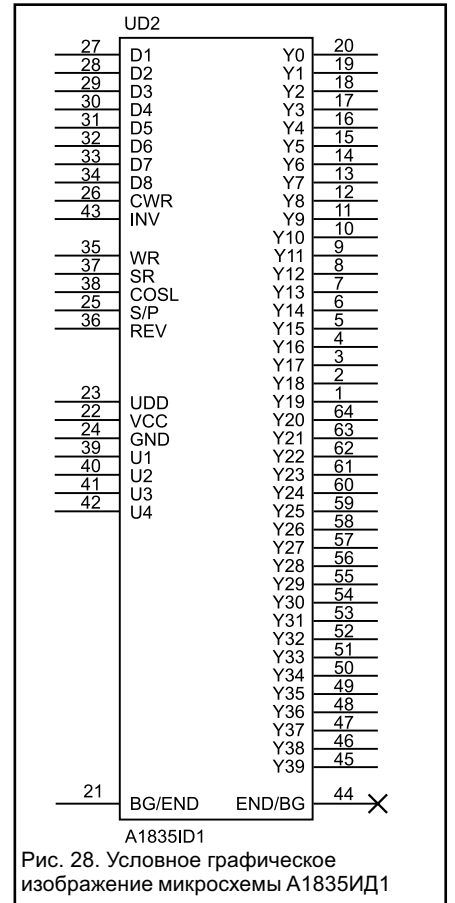


Рис. 28. Условное графическое изображение микросхемы А1835ИД1

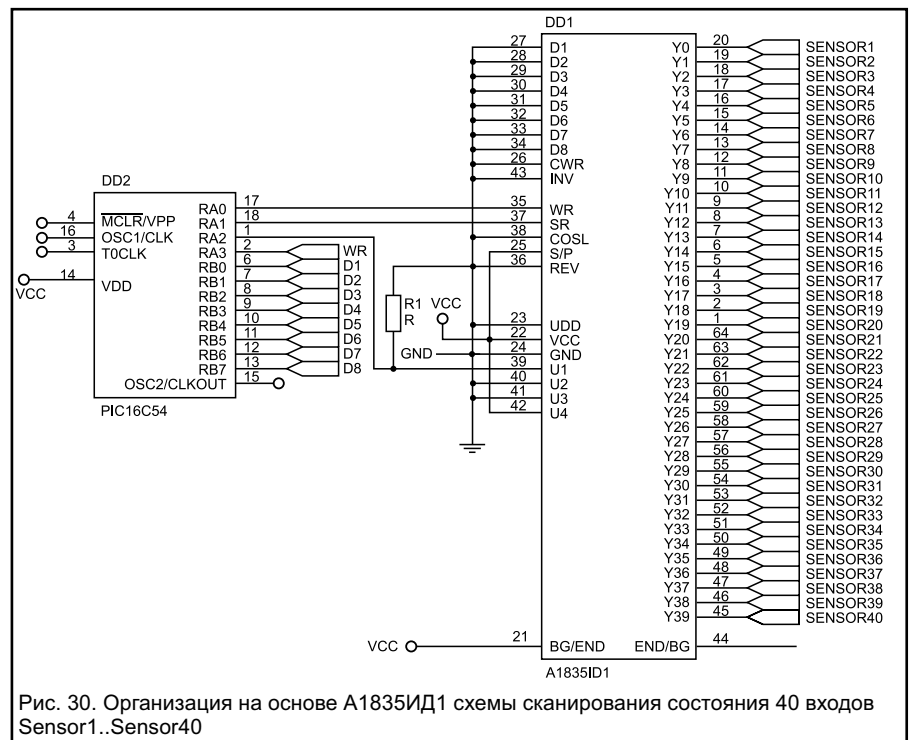


Рис. 30. Организация на основе А1835ИД1 схемы сканирования состояния 40 входов Sensor1..Sensor40

ключами. Состоянию логического 0 соответствует подача со схемы переключения полярности напряжения одного уровня, а при подаче логической 1 – другого. В свою очередь, эта двойка уровней напряжения синхронно с сигналом изменения полярности изменяет свои уровни. Четыре уровня напряжений, необходимых для формирования диаграммы управления электродами, поступают через входы U1...U4. По сути, формирователь представляет собой двухступенчатую систему аналоговых ключей, которые коммутируют на выходы Y0...Y39 один из уровней напряжений U1...U4.

В режиме управления строками выходной регистр работает как сдвиговый. В начале кадра производится запись "1" в первый разряд сдвигового регистра. Затем по фронту сигнала WR единица каждый раз сдвигается на один разряд. Режимный вход REW позволяет менять направление/порядок загрузки байтов в режиме управления столбцами и изменять направление "бегущей единицы" в режиме управления строками. Для каскадирования микросхем в режимах управления строками и столбцами в драйвере используется эстафетный принцип.

2.4.2. Использование микросхемы драйвера A1835ID1 в микроконтроллерных системах сбора данных

Реализация A1835ID1 в компактном корпусе с четырехсторонним расположением выводов. Малое потребление, а также наличие большого числа выво-

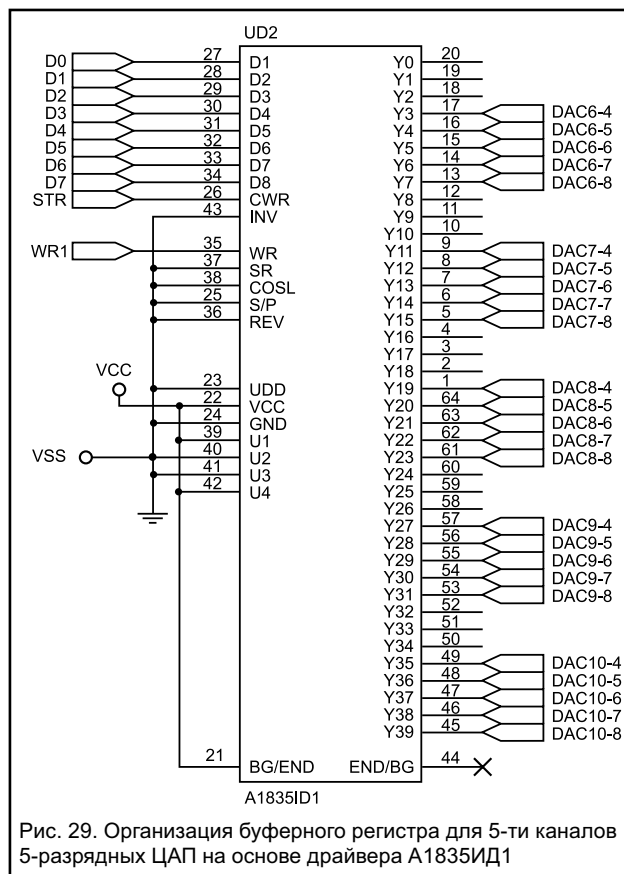


Рис. 29. Организация буферного регистра для 5-ти каналов 5-разрядных ЦАП на основе драйвера A1835ID1

дов – все это делает ее привлекательной для использования не только по прямому назначению, но и в качестве интерфейса расширения для микрокон-

троллерных систем сбора данных. В таких системах требуется обеспечить большое число входов и выходов. На рис. 29 показана схема реализации на драйвере A1835ID1 буферного регистра для 5-канального 5-разрядного модуля ЦАП. При использовании данной микросхемы следует помнить о том, что выходы Y0...Y39 имеют малую нагрузочную способность (не более 1 мА). Загрузка (смена данных) производится одновременно на всех 40 выводах. Сначала производится последовательная запись 5 байтов в буферный регистр, а затем производится перезапись в выходной регистр по переднему фронту сигнала WR. Остальные сигналы управления в этом режиме не использу-

ются. Режим столбцового драйвера задается при S/P = 0.

Ключи, коммутирующие напряжения U1...U4 на выходы Y0...Y39, – двунаправленные. Поэтому можно инвертировать ситуацию: считать выходы Y0...Y39 входами, а вывод U1 – выходом. Если драйвер перевести в режим сканирования строк (S/P = 1), то можно последовательно после подачи сигнала WR (scanner) произвести считывание состояния вывода U1 микроконтроллером. Посредством подачи 40 тактов можно последовательно сосчитать состояния всех 40 входов Y0...Y39. Таким образом, используя два драйвера в разных режимах, можно получить расширение по входам и выходам (40+40). Реализация схемы сканирования 40 входов на основе A1835ID1 показана на рис. 30. Для данной схемы предполагается, что логическому состоянию Sensori = 0 соответствует напряжение 0 В. Данная схема может работать и как коммутатор аналоговых сигналов. В этом случае, чтобы обеспечить прохождение аналогового сигнала, имеющего уровень близкий к нулю, через ключи без искажения, рекомендуется подать на вывод 23 (Udd) потенциал меньше нуля, например –5 В.

В таблице 1 приведено назначение выводов микросхемы A1835ID1.

Александр Самарин,
samar@zelaya.ru

Продолжение следует

Таблица 1. Назначение выводов микросхемы A1835ID1

Название выводов	Назначение
D1...D8	Байтовая шина для загрузки данных в режиме управления столбцами
CWR	Строб записи данных D1...D8 в 40-разрядный внутренний регистр драйвера
INV	Сигнал инвертирования входных сигналов D1...D8 (практически не используется)
WR	Сигнал перезаписи данных из буферного 40-разрядного регистра в выходной
COSL	Сигнал управления сменой полярности выходных сигналов Y0...Y39
S/P	Режим работы микросхемы: S/P=0 – режим управления столбцами, S/P=1 – режим управления строками
REW	Направление (порядок следования) распределения данных в буферном регистре при загрузке. Определяет направления для комплементарных эстафетных сигналов. Если REW=0 BG/END – вход, а END/BG – выход
Y0...Y39	Выходы сигналов управления электродами матричного ЖКЭ; при S/P=0 – сигналы развертки по строкам, а при S/P=1 – сигналы управления столбцовыми (сегментными) электродами
Vcc	Напряжение питания логики +5 В
GND	Общий
UDD	Напряжение питания выходных ключей формирователей напряжений Y0...Y39
U1...U4	Входы для подачи с делителя напряжения уровней напряжений соответствующих выбранному и невыбранному состояниям строки/столбца для двух фаз смены полярности
BG/END	Вход/выход эстафеты при каскадировании микросхем
END/END	Выход/вход сигнала эстафеты при каскадировании микросхем