

И.АЛЕКСАНДРОВ, И.АНТОНОВ,
220064, г.Минск, ул.Ландера, 68 — 60,
тел.77-27-58, 45-18-90.

АК9601— ПРОГРАММИРУЕМЫЙ ЧАСТОТНЫЙ СИНТЕЗАТОР

Микросхема программируемого частотного синтезатора (ПЧС), структурная схема которой приведена на рис. 1, предназначена для использования в системах связи с цифровым синтезом частот и может работать в двух режимах задания данных:

- служебная информация (каждому каналу отводится 8 байт) считывается из электрически перепрограммируемых ПЗУ с интерфейсом I²C KP1568PP1 (256x8), KP1568PP2 (1024x8) или им подобных;
- служебная информация записывается микропроцессором.

Режим задания данных устанавливается автоматически — при первом (после подачи питания на ПЧС) включении рабочего режима (вывод TX/CE в свободном состоянии) происходит обращение к памяти и считывание информации для дежурного и первого каналов связи, а при отсутствии ответа с памяти ПЧС переходит в режим задания данных от микропроцессора.

- Назначение выводов приведено в табл.1.
- ПЧС выполняет следующие функции:
- считывание информации по шине I²C из памяти;
 - стробирование питания микросхем памяти для уменьшения тока потребления;
 - синтез частоты для приема и передачи сигнала на выбранном канале (максимальное количество каналов при подключении к шине I²C двух микросхем KP1568PP2 или восьми микросхем KP11568PP1 — 255 рабочих + 1 дежурный) в диапазоне напряжения питания U_{cc} от 3,5 В до 6 В;
 - быстрый переход на дежурный канал связи;
 - ускоренный выбор канала связи;
 - хранение номера последнего канала связи в режиме

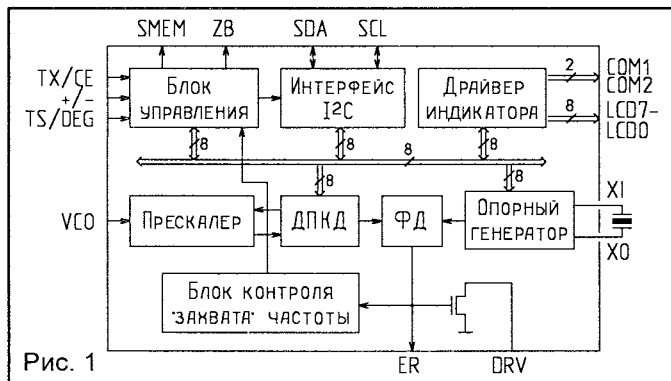


Рис. 1

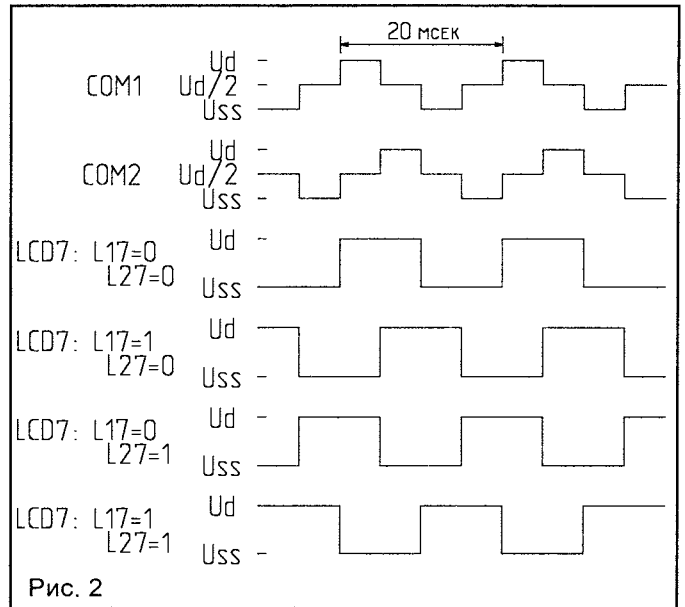


Рис. 2

- хранения с током потребления менее 10 мкА;
- синтез частоты с помощью встроенных высокочастотного прескалера, 16-разрядного делителя с переменным коэффициентом деления (ДПКД), кварцевого генератора опорной частоты (F_{оп}) и фазового детектора (ФД); максимальная частота составляет 290 МГц в режиме НР (типовой ток потребления — 22 мА при U_{cc}=6 В) и до 200 МГц в режиме LP (типовой ток потребления — 15 мА при U_{cc}=6 В) при T=25 С;
- контроль “захвата” частоты системой ФАПЧ и управление бесшумной настройкой на частоту приема и передачи;
- индикацию номера канала связи на 16-сегментный мультиплексный ЖКИ (2 x 8 сегментов).

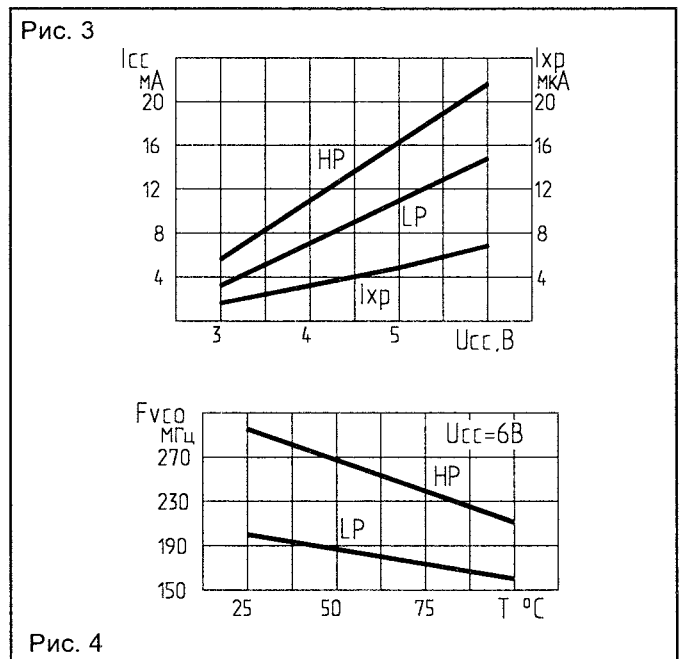


Рис. 4

Табл. 1

NN	Обозначение	Назначение	Тип
1 2	XO XI	Выходы опорного генератора для подключения кварцевого резонатора ($F_{кв} = 6...10 \text{ МГц}^*$)	Выход Вход
3-10	LCD0...LCD7	Выходы для управления сегментами мультиплексного ЖКИ. Амплитуда импульсов зависит от напряжения питания драйвера ЖКИ и определяется служебными битами. Период импульсов управления ЖКИ — 20 мс**	Выход
11, 12	COM1, COM2	Выходы мультиплексации сегментов ЖКИ (рис.2).	Выход
13	Uss	Вывод питания	-
14	TX/CE	Вывод для управления режимами работы "прием-передача" и "рабочий-хранение": 1. Если вывод в свободном состоянии, микросхема находится в рабочем режиме на частоте приема. 2. При подключении вывода к Uss на время более 30 мс микросхема переходит на частоту передачи и возвращается на частоту приема через 30 мс после снятия уровня Uss. 3. При подключении вывода к Uss на время более 50 мс микросхема переходит в режим с хранением номера последнего канала и током потребления менее 10 мкА. Возврат в рабочий режим происходит сразу после снятия уровня Uss	Вход
15	+/-	Вывод для изменения канала связи: 1. Если вывод в свободном состоянии, изменение канала связи не происходит. 2. При подключении вывода к Uss на время более 30 мс но менее 350 мс микросхема переходит на следующий канал связи, на время более 350 мс — происходит ускоренный перебор каналов связи в сторону увеличения (1 канал за 124 мс). 3. При подключении вывода к Uss на время более 30 мс но менее 350 мс микросхема переходит на предыдущий канал связи, на время более 350 мс — происходит ускоренный перебор каналов связи в сторону уменьшения (1 канал за 124 мс)	Вход
16	TS/DEG	Вывод для перехода на дежурный канал связи: 1. Если вывод в свободном состоянии, изменение канала связи не происходит. 2. При подключении вывода к Uss на время более 30 мс микросхема переходит на дежурный канал связи. При повторном подключении вывода к Uss происходит возврат на канал, который был установлен до перехода на дежурный канал	Вход
17	ZB	Вывод одного из двух сигналов: служебного сигнала (например для коммутации при переходе на другой диапазон) или сигнала признака "захвата" частоты системой ФАПЧ. Служебными битами определяется (дополнительно см. п.п.4.1, 4.6, 4.9...4.12): - что выводится — служебный сигнал или сигнал "захвата"; - полярность сигнала "захвата"; - критерии определения "захвата" частоты (допустимая ширина импульсов ошибки в системе ФАПЧ, время контроля ширины импульсов ошибки в системе ФАПЧ, постоянный контроль "захвата" частоты или до первого срабатывания "захвата" частоты)	Выход с открытым стоком
18	SMEM	Вывод для включения питания микросхем памяти на время считывания информации. На выводе устанавливается низкий уровень при обращении к памяти, в остальное время вывод находится в состоянии высокого выходного сопротивления. Время предустановки (удержания) низкого уровня на выводе перед (после) обращением к памяти — не менее 20 мс	Выход с открытым стоком
19	VCO	Вход программируемого делителя системы ФАПЧ, на который через разделительный конденсатор подается сигнал с генератора, управляемого напряжением (ГУН). Зависимости максимальной частоты F_{vco} от величины входного напряжения U_{vco} , от величины напряжения питания Uss, от температуры окружающей среды, зависимости тока потребления от напряжения питания для двух режимов работы (НР и LP) приведены на рис.3...6. Режим работы (LP или НР) устанавливается служебным битом (см.п.4.4)	Вход
20	SDA	Вывод для подключения к линии данных шины I ² C при работе с памятью; при управлении от микропроцессора на вывод подаются данные с микропроцессора	Вход/выход с открытым стоком
21	SCL	Вывод для подключения к линии синхронизации шины I ² C при работе с памятью; при управлении от микропроцессора на вывод подаются тактовые сигналы для записи данных с микропроцессора	Вход/выход с открытым стоком
22	ER	Вывод сигнала ошибки с фазового детектора системы ФАПЧ и затвора встроенного N-канального транзистора для построения инвертирующего интегратора (см. типовую схему включения на рис.7, нумерация выводов микросхем на всех рисунках — по порядку против часовой стрелки) Состояние вывода: $F_{vco}/N < F_{оп}$ — низкий уровень; $F_{vco}/N > F_{оп}$ — высокий уровень; $F_{vco}/N = F_{оп}$ и совпадают фазы F_{vco}/N и $F_{оп}$ — высокое выходное сопротивление. Выходное сопротивление сигнала ошибки в активном состоянии (1,6 кОм или 5,4 кОм) определяется служебным битом (см.п.4.3)	Вход/выход с третьим состоянием
23	DRV	Вывод стока встроенного транзистора для построения инвертирующего интегратора	Выход с открытым стоком
24	Uss	Общий вывод	-

Примечание: * — указана частота параллельного резонанса;

** — все временные параметры приведены для частоты опорного генератора 10 МГц.

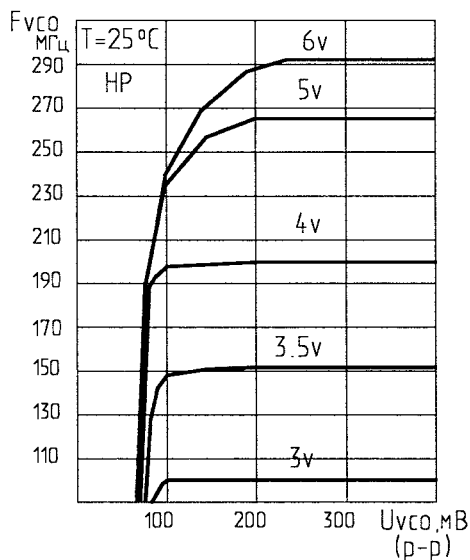
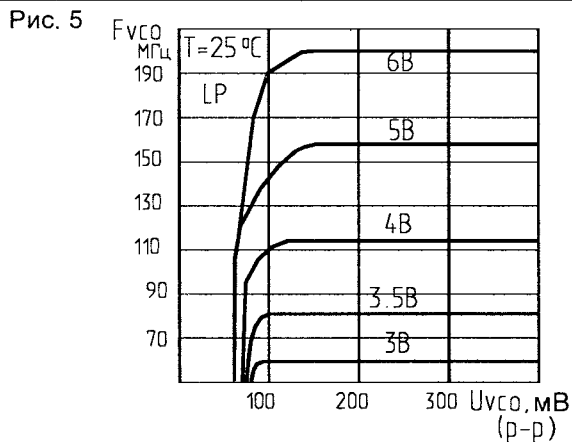


Рис. 6

Табл. 2

Канал	Адрес канала								Байт		Данные								Примечание			
	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1		D0		
Дежурный	0	0	0	0	0	0	0	0	0	0	0	R15	R14	R13	R12	R11	R10	R9	R8	Коэффициент деления ДПКД		
	0	0	0	0	0	0	0	0	0	0	1	R7	R6	R5	R4	R3	R2	R1	R0	в режиме "прием"		
	0	0	0	0	0	0	0	0	0	0	1	0	T15	T14	T13	T12	T11	T10	T9	T8	Коэффициент деления ДПКД	
	0	0	0	0	0	0	0	0	0	0	1	1	T7	T6	T5	T4	T3	T2	T1	T0	в режиме "передача"	
	0	0	0	0	0	0	0	0	0	0	1	0	0	L17	L16	L15	L14	L13	L12	L11	L10	Биты для вывода на ЖКИ по COM1
	0	0	0	0	0	0	0	0	0	1	0	1	0	L27	L26	L25	L24	L13	L22	L21	L20	Биты для вывода на ЖКИ по COM2
	0	0	0	0	0	0	0	0	0	1	1	0	0	K7	K6	K5	K4	K3	K2	K1	K0	Биты управления режимами работы ПЧС
0	0	0	0	0	0	0	0	0	1	1	1	1	S7	S6	S5	S4	S3	S2	S1	S0	Адрес последнего канала связи	
Первый по порядку расположения в памяти	0	0	0	0	0	0	0	0	1	0	0	0	R15	R14	R13	R12	R11	R10	R9	R8	Коэффициент деления ДПКД	
	0	0	0	0	0	0	0	0	1	0	0	1	R7	R6	R5	R4	R3	R2	R1	R0	в режиме "прием"	
	0	0	0	0	0	0	0	0	1	0	1	0	T15	T14	T13	T12	T11	T10	T9	T8	Коэффициент деления ДПКД	
	0	0	0	0	0	0	0	0	1	0	1	1	T7	T6	T5	T4	T3	T2	T1	T0	в режиме "передача"	
	0	0	0	0	0	0	0	0	1	1	0	0	L17	L16	L15	L14	L13	L12	L11	L10	Биты для вывода на ЖКИ по COM1	
	0	0	0	0	0	0	0	0	1	1	0	1	0	L27	L26	L25	L24	L13	L22	L21	L20	Биты для вывода на ЖКИ по COM2
	0	0	0	0	0	0	0	0	1	1	1	0	0	K7	K6	K5	K4	K3	K2	K1	K0	Биты управления режимами работы ПЧС
Последний по порядку расположения в памяти	S7	S6	S5	S4	S3	S2	S1	S0	0	0	0	0	R15	R14	R13	R12	R11	R10	R9	R8	Коэффициент деления ДПКД	
	S7	S6	S5	S4	S3	S2	S1	S0	0	0	1	0	R7	R6	R5	R4	R3	R2	R1	R0	в режиме "прием"	
	S7	S6	S5	S4	S3	S2	S1	S0	0	1	0	0	T15	T14	T13	T12	T11	T10	T9	T8	Коэффициент деления ДПКД	
	S7	S6	S5	S4	S3	S2	S1	S0	0	1	1	0	T7	T6	T5	T4	T3	T2	T1	T0	в режиме "передача"	
	S7	S6	S5	S4	S3	S2	S1	S0	1	0	0	0	L17	L16	L15	L14	L13	L12	L11	L10	Биты для вывода на ЖКИ по COM1	
	S7	S6	S5	S4	S3	S2	S1	S0	1	0	1	0	L27	L26	L25	L24	L13	L22	L21	L20	Биты для вывода на ЖКИ по COM2	
	S7	S6	S5	S4	S3	S2	S1	S0	1	1	0	0	K7	K6	K5	K4	K3	K2	K1	K0	Биты управления режимами работы ПЧС	
S7	S6	S5	S4	S3	S2	S1	S0	1	1	1	1	M7	M6	M5	M4	M3	M2	M1	M0			

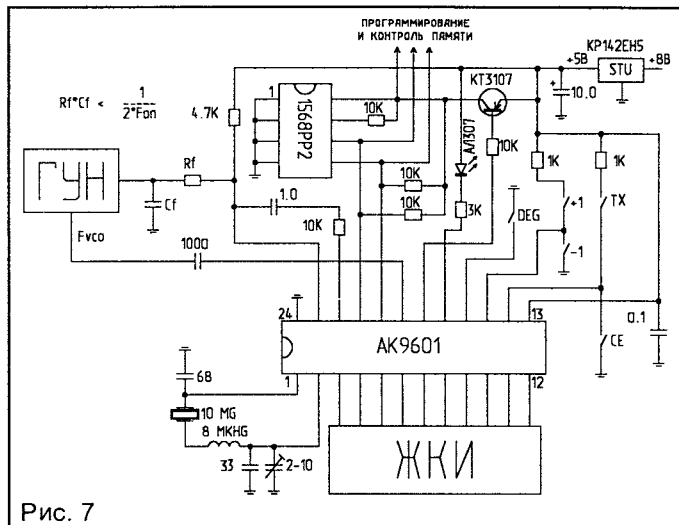


Рис. 7

ПРОГРАММИРОВАНИЕ ПАМЯТИ И ЗАДАНИЕ ДАННЫХ ДЛЯ ПЧС

Максимальный объем адресуемых данных в системе шин I²C составляет 2048 байт, для адресации данных с памяти используются адреса A10(CS), A9-A0. Каждому каналу отводится 8 байт информации, которые адресуются младшими адресами A2-A0 (табл.2). Старшие адреса A10(CS), A9-A3 адресуют каналы (максимальное общее количество каналов — 256). Информация для каналов располагается в памяти по порядку начиная с нулевого адреса. Причем по нулевому адресу канала (адреса A10(CS) и A9-A3 равны "0") располагается информация, отводимая дежурному каналу связи, а по остальным адресам — информация для остальных каналов связи (максимальное количество каналов — 255). Структура данных для дежурного и остальных каналов отличается восьмым байтом (табл.2). В восьмом байте (с адресами A2-A0 равными "1") для дежурного

канала записывается адрес S7-S0, по которому записан последний по порядку расположения в памяти канал связи. В восьмом байте для остальных каналов связи записывается информация для управления режимами работы ПЧС. Режимы ПЧС, устанавливаемые битами M7-M0 восьмого байта, для дежурного канала сохраняются такими, какими они были для канала, который был установлен до перехода на дежурный канал.

(Окончание следует)

И.АЛЕКСАНДРОВ, И.АНТОНОВ,
220064, г.Минск, ул.Ландера, 68 — 60,
тел.77-27-58, 45-18-90.

AK9601— ПРОГРАММИРУЕМЫЙ ЧАСТОТНЫЙ СИНТЕЗАТОР

(Окончание. Начало в N3/97)

Запись данных в микросхемы памяти (KP1568PP1 или KP1568PP2) производится от внешнего источника согласно временным диаграммам для линий данных и синхронизации, приведенным на рис.8. Максимальная частота для линии синхронизации составляет 100 кГц [1]. После записи каждого байта данных необходимо выдержать паузу не менее 20 мс. Для программирования KP1568PP2 необходимо перед записью данных в память провести

чтение данных из памяти по любому адресу. Временные диаграммы для линий данных и синхронизации при чтении данных из памяти приведены на рис.9.

Временные диаграммы для линий данных и синхронизации системы шин I²C в режимах записи данных в память и считывания данных из памяти приведены на рис.8-9, диаграммы при записи данных в ПЧС от микропроцессора — на рис.10. Максимальная частота тактовых сигналов при записи данных от микропроцессора — 500 кГц.

Задание данных для ПЧС:

1. R15...R0 — коэффициент деления ДПКД в режиме “прием”, равный:

$$N = \frac{F_{vco}}{F_{оп}}$$

Значение N должно быть в пределах от 1024 до 65535.

2. T15...T0 — коэффициент деления ДПКД в режиме “передача”, равный:

$$N = \frac{F_{vco}}{F_{оп}}$$

Значение N должно быть в пределах от 1024 до 65535.

3. L17...L10 — биты для управления сегментами ЖКИ по выводам LCD7...LCD0 (COM1);

L27...L20 — биты для управления сегментами ЖКИ по выводам LCD7...LCD0 (COM2)

(L17...L10 и L27...L20 — номер канала или другая информация.)

Сегмент высвечивается на ЖКИ, если соответствующий ему бит установить в “1”.

4. K7...K0, M7...M0 — биты управления режимами работы ПЧС:

4.1. K7 — бит, который может через вывод ZB коммутировать внешние цепи, например диапазон, тип модуляции (FM или AM) и т.д.

K7	Состояние на выводе ZB
0	Низкий уровень
1	Высокое выходное сопротивление

4.2. K6, K5 — биты, определяющие напряжение питания драйвера ЖКИ (дополнительно смотри п.4.8).

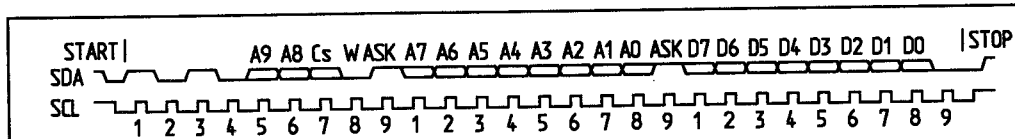


Рис.8. Диаграмма напряжений для системы шин I²C при записи данных в память.

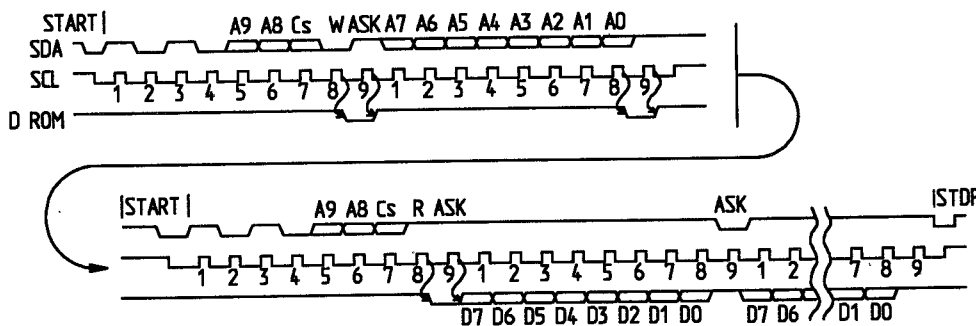


Рис.9. Диаграмма напряжений для системы шин I²C при считывании данных из памяти.

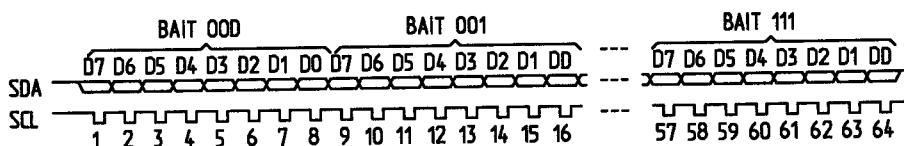


Рис.10. Диаграмма напряжений для выводов SDA и SCL при записи данных в ПЧС из микропроцессора.

M5	K6	K5	U драйвера ЖКИ	Напряжение питания ПЧС при использовании ЖКИ на 3 В
0	1	1	0,88 Ucc	3,1...3,7
0	0	1	0,73 Ucc	3,7...4,5
0	1	0	0,60 Ucc	4,5...5,5
0	0	0	0,49 Ucc	5,5...6,7
1	-	-	1,00 Ucc	-

4.3. K4 — бит, который определяет выходное сопротивление сигнала ошибки с фазового детектора системы ФАПЧ.

K4	Rout (типичное значение)
0	5,4 кОм
1	1,6 кОм

4.4. K3 — бит, который определяет режим работы ДПКД.

K3	Режим
0	LP
1	HP

4.5. K2, K1, K0 — биты, определяющие значение опорной частоты фазового детектора системы ФАПЧ.

K2	K1	K0	N = Fкв/Fоп	Fоп, кГц		
				Fкв=6 МГц	Fкв=8 МГц	Fкв=10 МГц
0	0	0	200	30	40	50
0	0	1	400	15	20	25
0	1	0	800	7,5	10	12,5
0	1	1	1600	3,75	5	6,25
1	0	0	10000	0,6	0,8	1
1	0	1	1000	6	8	10
1	1	0	2000	3	4	5
1	1	1	4000	1,5	2	2,5

Опорная частота должна выбираться по возможности максимально большой и обычно равна частотному промежутку между каналами. Значение опорной частоты одно и то же для режимов "прием" и "передача", но для каждого канала может устанавливаться отдельно.

4.6. M7 — бит, определяющий критерий "захвата" частоты системой ФАПЧ — постоянный контроль ширины импульсов ошибки с фазового детектора (дополнительно см.п.4.11-4.12) или до первого срабатывания признака "захвата" частоты, что позволяет при использовании частотной модуляции в режиме передачи контролировать ширину импульсов ошибки только в момент переключения режима "прием-передача".

M7	Критерий определения "захвата" частоты
0	До первого срабатывания признака "захвата" частоты
1	Постоянный контроль ширины импульсов ошибки

4.7. M6 — не используется.

4.8. M5 — данный бит устанавливается в "0" при использовании для индикации ЖКИ, и в "1" — при выводе информации на светодиодный индикатор (схема подключения светодиодного индикатора приведена на рис.11). При использовании светодиодного индикатора биты L17...L10 и L27...L20 должны быть проинвертированы, т.е. для высвечивания сегмента необходимо соответствующий сегменту бит установить в "0".

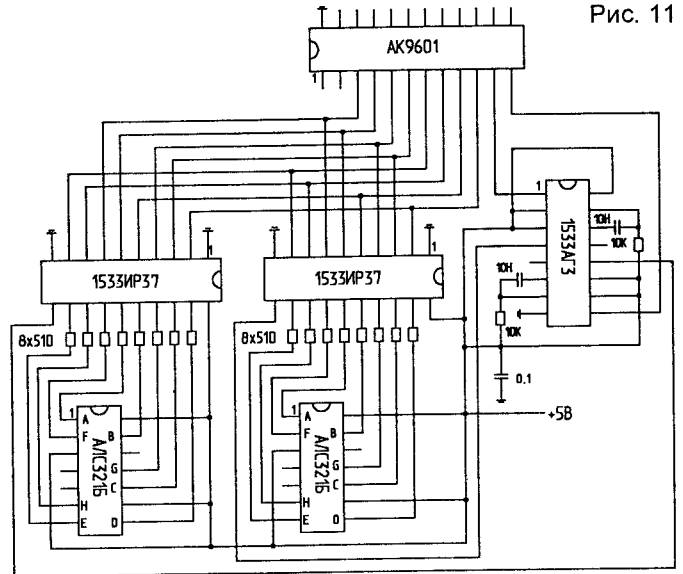


Рис. 11

4.9. M4 — бит, определяющий полярность сигнала "захвата" частоты системой ФАПЧ.

M4	Уровень на выводе ZB после "захвата" частоты
0	Низкий
1	Высокое выходное сопротивление

4.10. M3 — бит, определяющий какой из сигналов поступает на вывод ZB — признак "захвата" частоты системой ФАПЧ или служебный бит K7 (дополнительно см.п.4.1.).

M3	Сигнал на выводе ZB
0	Признак "захвата" частоты системой ФАПЧ
1	Служебный бит K7

4.11. M2, M1 — биты, устанавливающие критерий определения "захвата" частоты системой ФАПЧ — время контроля ширины импульсов ошибки с фазового детектора системы ФАПЧ. Если в течение этого времени ни один из сигналов ошибки не превышает по ширине заданное значение (дополнительно см.п.4.12.), делается вывод о "захвате" частоты системой ФАПЧ.

M2	M1	Время контроля, мсек, при Fкв=10 МГц
0	0	5
0	1	10
1	0	20
1	1	40

4.12. M0 — бит, определяющий критерий "захвата" частоты системой ФАПЧ — допустимую ширину импульсов ошибки с фазового детектора системы ФАПЧ.

M0	Допустимая ширина импульсов ошибки*, мкс			
	Ucc=3 В	Ucc=4 В	Ucc=5 В	Ucc=6 В
0	0,8	0,56	0,44	0,36
1	2,03	1,4	1,1	0,91

Примечание: * — типичные значения при T=25°C.

Литература

1. Козловский В. 1024x8 бит статическое N-МОП ЭСППЗУ с 1°C-шиной//Радиолюбитель.—1996.— N 5.— С.39.