

40 В, то схемы формирователей упрощаются. Один из примеров схемы формирователя информационных сигналов приведен на рис. 5, а на рис. 6 представлена схема формирователя адресных сигналов. Схема на рис. 5 также позволяет использовать ее в качестве нагрузки /КД522А и ИС2/ в режиме считывания при проверке правильности записанной информации.

Стирание информации осуществляется путем освещения кристалла микросхемы через кварцевую крышку корпуса УФ-лучами в течение 15 - 20 мин. во всех ячейках накопителя.

С п и с о к л и т е р а т у р ы

1. Крамзинский А.Н. Интегральные схемы на МДП-транзисторах.- М.: Мир, 1975, с. 65-70.

2. Frohman-Bentschowsky D. Fast - a new Semiconductor charge storage device.- Solid State Electronics. 1974, 17, N 6, p. 517-530.

3. Чжан Р. Полупроводниковые ЗУ с сохранением информации при отключении питания.- ТИИЭР, 1976, 64, № 7, с. 20-25.

УДК 681.327

ОСОБЕННОСТИ ПРОЕКТИРОВАНИЯ ИС ППЗУ С ЭЛЕКТРИЧЕСКИМ СТИРАНИЕМ И ЗАПИСЬЮ ИНФОРМАЦИИ НА МНОП-СТРУКТУРАХ

Л.В.Капровская, В.П.Сидоренко,
В.П.Чекалкин, Ю.А.Юхименко

В настоящее время все более широкое применение находят полупостоянные ЗУ, содержимое которых потребитель может многократно программировать в процессе их эксплуатации.

Известные к настоящему времени интегральные схемы полупостоянных ЗУ с перезаписью информации могут быть разделены по конструктивно-технологическим признакам на три группы. Первыми появились ППЗУ на основе эффекта накопления заряда в МДП-транзисторах с так называемым "плавающим" затвором со стиранием информации ультрафиолетовым светом. Они были разработаны и выпущены фирмой „Intel” на основе технологии лавинно-инжекционных МОП-транзисторов с плавающим затвором /ЛИЗ МОП-технология/ [1]. Два других типа приборов - это ППЗУ с электрическим стиранием информации. Первые строятся на основе двухзатворной модификации лавинно-инжекционной МОП-структуры с плавающим затвором. Во вторых используется эффект накопления заряда в МДП-транзисторах с двухслойным затвором диэлектриком /МНОП-технология/.

Применение ППЗУ в аппаратуре обеспечивает расширение функциональных возможностей систем памяти, позволяет создать широкий класс устройств с улучшенными техническими и экономическими характеристиками.

ППЗУ с электрической перезаписью информации обладают рядом

характерных особенностей:

возможностью многократного программирования накопителя;
оперативностью программирования /перезаписью информации без извлечения ЗУ из системы/;

неразрушающим считыванием записанной информации;
энергонезависимостью /способностью сохранять записанную информацию при отключении источников питания/;

технологической совместимостью изготовления программируемого накопителя и обрамления, позволяющей создавать функционально законченные изделия в едином технологическом цикле на одном кристалле;

совместимостью по уровням входных и выходных сигналов, несущих логическую информацию, с сигналами серии ИС широкого функционального назначения /например, ТТЛ ИС/, применяемых в качестве элементной базы вычислительных систем.

Основу ППЗУ составляет запоминающий элемент, обладающий свойством достаточно оперативно записывать в него информацию в двоичном коде и сохранять ее при отключении питающих напряжений. В качестве запоминающего элемента в МНОП ППЗУ с электрической перезаписью информации используется транзистор со структурой металл-нитрид кремния - двуокись кремния - кремний [2]. На рис. 1 приведен разрез структуры кристалла МНОП ППЗУ с запоминающим элементом. Логическая информация в таком элементе отображается электрически изменяемым пороговым напряжением МНОП-транзистора, сохраняющимся и при отключении питания микросхемы. В исходном состоянии /уровень записанного логического нуля/ пороговое напряжение МНОП-транзистора равно типичному значению р-канального МОП-транзистора с A' затвором и составляет $-2,5 \pm 1,0$ В. При воздействии на затвор прибора импульсов программирования амплитудой $\sim 30-35$ В на

границе раздела нитрида кремния и туннельного окисла кремния /толщиной $17-20 \text{ \AA}$ / происходит накопление положительного заряда, увеличивающего пороговое напряжение МНОП-транзистора до $-9,0 \pm 1,0$ В.

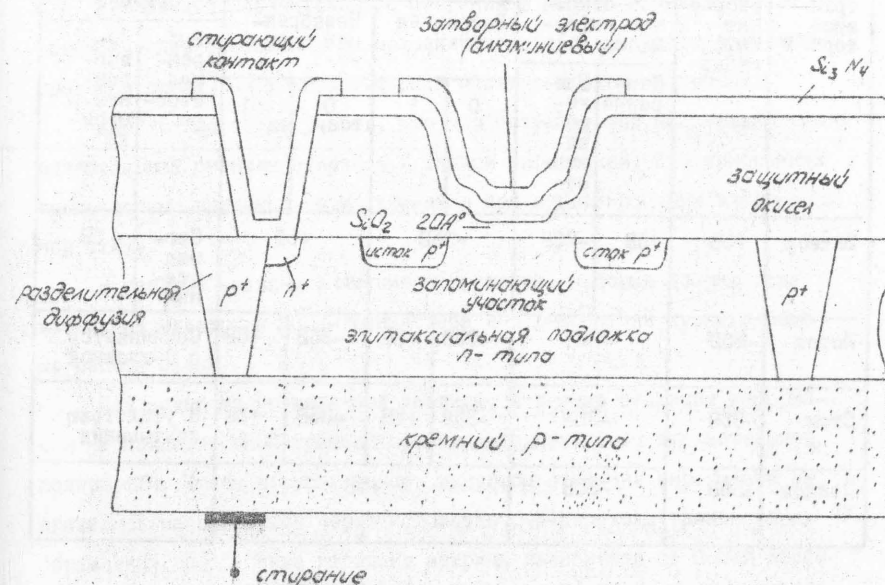


Рис. 1.

Данное состояние МНОП-транзистора сохраняется и при отключении напряжения питания и соответствует уровню записанной логической единицы.

Для возвращения МНОП-транзистора в исходное состояние необходимо подать либо импульсы положительной полярности амплитудой 30-35 В на затвор МНОП-транзистора, либо импульсы отрицательной полярности на подложку накопителя.

Т а б л и ц а

Электрод МНОП-транзистора	Режим работы						
	Общее стирание информации	Избирательное стирание информации		Запись информации			
		Стирание	Блокировка стирания	Выбранная строка		Невыбранная строка	
				0	1	0	1
Затвор	+5В	+5В	-35В	-35В		+5В	
Исток	-35В	-35В		-35В	+5В	-35В	+5В
Сток	-35В	-35В		-35В	+5В	-35В	+5В
Подложка	-35В	-35В		+5В			

При развитии интегральных схем МНОП ППЗУ наряду с улучшением таких общих для запоминающих устройств характеристик, как информационная емкость, быстродействие и рассеиваемая мощность, особое внимание уделяется улучшению таких специфических для ППЗУ характеристик, как время хранения и повышения избирательности стирания информации. В первых интегральных схемах МНОП ППЗУ стирание информации /перевод запоминающих элементов в состояние логического нуля/ производилось одновременно во всех ячейках накопителя. Однако с увеличением информационной емкости в этом случае возрастает время, необходимое на перепрограммирование информации в интегральной схеме. Поэтому возникает вопрос о необходимости не полного, а из-

бирательного стирания записанной в интегральную схему информации. Избирательность осуществляется, как правило, на уровне одной строки матрицы, хотя некоторые интегральные схемы позволяют осуществлять избирательное стирание на уровне слова или даже бита информации.

Реализация избирательного стирания в МНОП ППЗУ накладывает специфические требования на исходный материал для подготовки интегральной схемы, на технологический маршрут и схемные решения.

Необходимо также учесть, что для потребителей желательно иметь однополярные сигналы стирания и записи информации. Это требование также должно приниматься во внимание при проектировании интегральной схемы.

В таблице указаны значения напряжений, которые должны подаваться на электроды МНОП-транзистора для реализации нужного режима работы схемы.

Как видно из приведенной таблицы, в режиме стирания информации на подложку МНОП-транзистора подаются импульсы отрицательной полярности. Чтобы отрицательные импульсы стирания информации не оказались заземленными через истоковые р-п-переходы транзисторов обрамления, необходима изоляция матрицы накопителя от цепей обрамления.

Изоляция накопителя от обрамления позволяет значительно увеличить /в 3-4 раза/ плотность элементов памяти ЗУ за счет применения однотранзисторных запоминающих элементов, уменьшить площадь кристалла, а также дает дополнительное преимущество - возможность реализации режима избирательного стирания информации.

Для создания изоляции накопителя от обрамления и реализации интегральной схемы МНОП ППЗУ с избирательным стиранием информации использовались однослойные эпитаксиальные структуры в виде выращенного на подложке ЭКДБ-10 /111/ эпитаксиального слоя π -кремния

КЭД 4,5 толщиной 14-16 мкм.
стирающий
контакт

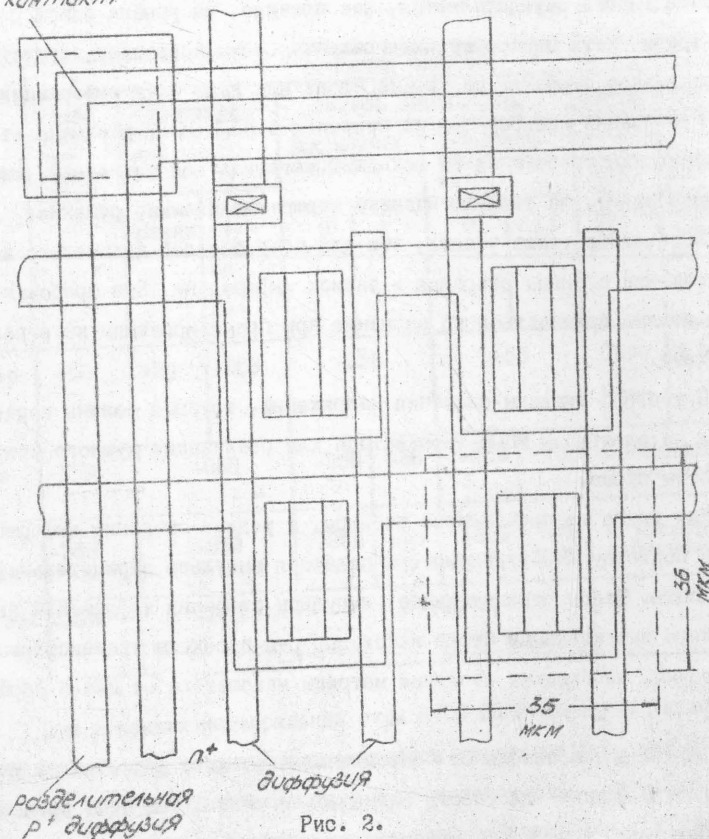


Рис. 2.

Согласно технологическому маршруту по периметру матрицы накопителя проводится диффузия бора вплоть до p -подложки, при этом матрица оказывается изолированной от цепей обрамления по подложке p - p -переходом /см. рис. 1/.

Стирание информации через кремниевую подложку предполагает создание низкоомного омического контакта между подложкой p -типа и слоем алюминия. Для этого необходимо на 2-3 порядка увеличить концентрацию донорной примеси в месте контакта - создать вспомогательные p^+ -области. Вспомогательные p^+ -области могут быть сформированы либо путем термической диффузии фосфора в области матрицы, либо путем проведения операции ионного легирования фосфором.

На рис. 2 приведен фрагмент топологии накопителя, где указаны запоминающие МНОП-ячейки накопителя, разделительная p^+ -диффузия и вспомогательная p^+ -область, соединенные алюминиевым стирающим контактом. Отрицательное напряжение стирания на подложку накопителя поступает через p -подложку кристалла, разделительную p^+ -диффузию, алюминиевый стирающий контакт и вспомогательную p^+ -область.

На основе описанного выше маршрута была разработана интегральная схема К1601РР1, которая представляет собой электрически перепрограммируемое ПЗУ информационной емкостью 4 Кбит /организация 1 Кбит $\times$ 4 разряда/.

ИС К1601РР1 /рис. 3/ состоит из накопителя, формирователей адреса, дешифраторов строк и столбцов, усилителей-формирователей управляющих сигналов "Разрешение считывания", "Разрешение стирания", "Выбор ИС", "Запись - считывание", коммутаторов режимов строк, схемы управления коммутатором режимов строк, усилителей записи и считывания, выходных усилителей-формирователей, мультиплексоров.

Накопитель представляет собой квадратную матрицу запоминающих МНОП-транзисторов, имеющую организацию 64 строки $\times$ 64 столбца.

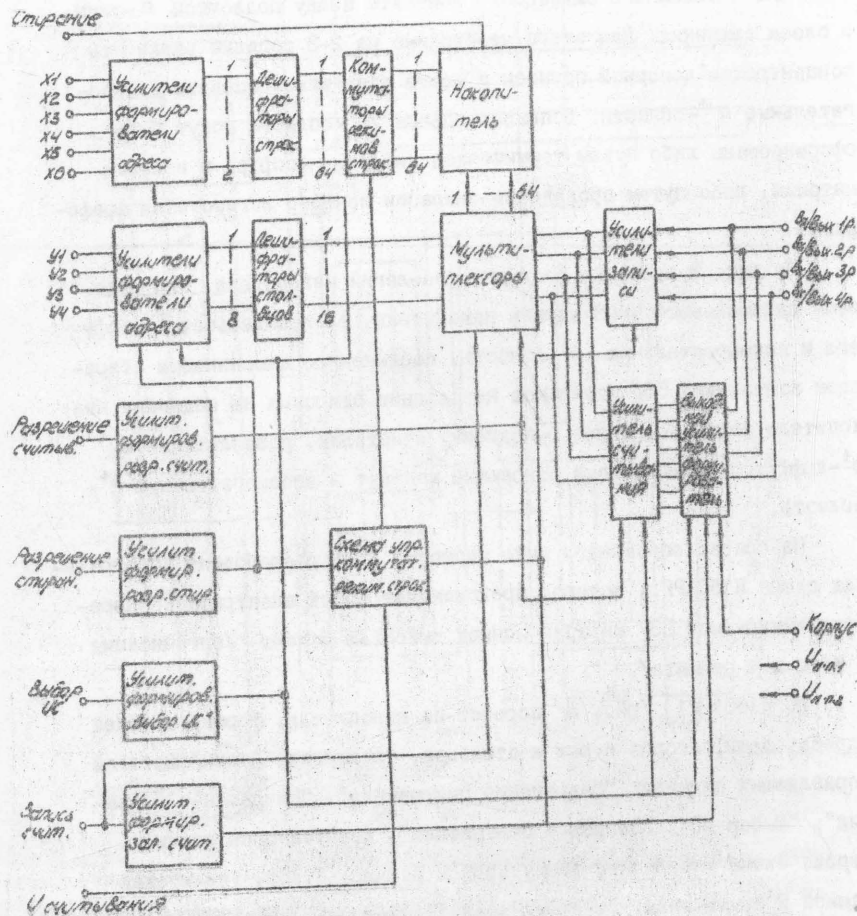


Рис. 3.

Каждые 16 столбцов при помощи схем управления объединяются между собой и образуют один из четырех разрядов интегральной схемы.

На выводы микросхемы поступают адресные сигналы X1-X6, U1-U4 и управляющие сигналы "Разрешение считывания", "Разрешение стирания", "Выбор ИС". Входные напряжения логического нуля $U_{0x}^0 = 0,4$ В и логической единицы $U_{0x}^1 = 2,4$ В указанных сигналов обеспечивают совместную работу ИС ПЗУ K1601PP1 с интегральными схемами ТТЛ без дополнительных элементов.

Формирователи адреса накопителя обеспечивают согласование ПЗУ по уровням входных сигналов с интегральными схемами ТТЛ и усиливают сигналы адреса для управления дешифраторами строк и столбцов.

Дешифраторы адреса строк и столбцов накопителя обеспечивают произвольную выборку ячеек накопителя в режимах записи, считывания и произвольную выборку строки в режиме "Избирательное стирание".

Формирователи команд "Разрешение считывания", "Разрешение стирания", "Выбор ИС", "Запись - считывание" предназначены для управления режимами работы ЗУ.

Для передачи напряжений на затворы запоминающих МНОП-транзисторов в различных режимах работы ИС как при обращении к микросхеме, так и в режиме невыбора используется коммутатор режимов строк. Схема управления коммутаторами режимов строк обеспечивает формирование заданных потенциалов в режимах общего и избирательного стирания, записи и считывания информации.

С дешифратора столбцов формируемые уровни напряжений поступают на мультиплексор, обеспечивающий необходимый режим работы стоковых и истоковых областей запоминающих МНОП-элементов в режимах общего и избирательного стирания. Мультиплексор также осуществляет передачу информационного сигнала в режимах записи и считывания.

Для воспроизведения информации из накопителя предусмотрены усилители

считывания, обеспечивающие передачу считанной информации в виде логических уровней напряжения МОП ИС.

Выходные усилители-формирователи обеспечивают согласование информации, поступающей с усилителей считывания в виде логических уровней МОП ИС, с выходными напряжениями ТТЛ ИС.

В режиме записи информации те же выводы микросхемы, которые служили для съема информации в режиме считывания, используются для подачи записываемой в схему информации в виде четырехразрядного слова. Поступающая информация через усилители записи и мультиплексоры поступает на выбранные столбцы накопителя для записи в соответствующие ячейки памяти. Ниже приведены основные электрические параметры микросхемы в диапазоне температур от -45 до $+70^\circ\text{C}$:

- а/ напряжение питания, В / $U_{\text{пит}} = -12 \pm 5\%$,
- б/ $U_{\text{пит}} = +5 \pm 5\%$ /;
- в/ время цикла считывания информации - $1,5 \text{ мкс} / C_H = 50 \text{ пф}$;
- г/ максимальная потребляемая мощность - 800 мВт ;
- д/ выходное напряжение логического нуля - $0,4 \text{ В}$;
- е/ выходное напряжение логической единицы - $2,4 \text{ В}$;
- ж/ амплитуда импульсов перезаписи - не более 40 В ;
- з/ длительность импульса записи - не более 10 мс ;
- и/ длительность импульса стирания - не более 10 мс ;
- к/ количество циклов перезаписи - не менее 10^4 ;
- л/ время хранения информации в режиме непрерывного считывания - 250 ч .

По уровням адресных, управляющих входных и выходных сигналов микросхема совместима с ТТЛ ИС. Перепрограммирование накопителя ППЗУ осуществляется электрическими импульсами отрицательной полярности, подаваемыми на выводы "Запись - считывание" и "Стирание".

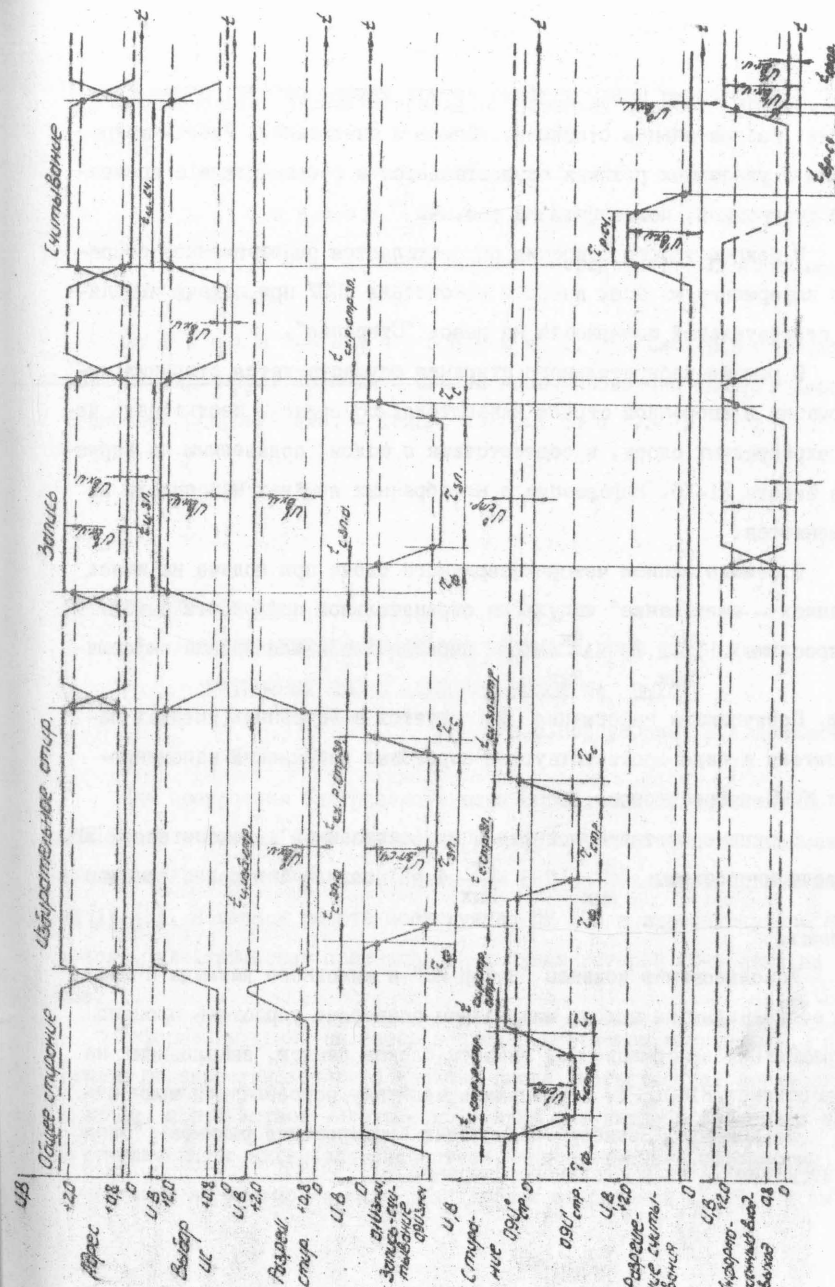


Рис. 4.

В микросхеме предусмотрено четыре режима работы: общее стирание, избирательное стирание, запись и считывание. Работа микросхемы в указанных режимах осуществляется в соответствии с временной диаграммой, показанной на рис. 4.

В режиме общего стирания осуществляется одновременное стирание информации во всех ячейках накопителя ППЗУ при подаче импульса отрицательной полярности на вывод "Стирание".

В режиме избирательного стирания осуществляется стирание информации в выбранной строке накопителя, содержащей шестнадцать четырехразрядных слова, в соответствии с кодом, подаваемым на адресные выходы XI-X6. Информация в невыбранных ячейках накопителя не изменяется.

В режиме записи четырехразрядного слова при подаче на вывод "Запись - считывание" импульсов отрицательной полярности выходы микросхемы $\frac{V_{X1}}{V_{Y1}}$ 1p - $\frac{V_{X4}}{V_{Y4}}$ 4p" переключаются для приема информации. Поступающая информация фиксируется в выбранных ячейках накопителя в виде соответствующих пороговых напряжений запоминающих МНОП-транзисторов.

В режиме считывания информации, записанной в накопителе ППЗУ, выходы микросхемы $\frac{V_{X1}}{V_{Y1}}$ 1p - $\frac{V_{X4}}{V_{Y4}}$ 4p" подключаются для выдачи данных.

Использование команды "Выбор ИС" и выходного каскада с тремя состояниями на выходе микросхемы позволяет упростить процесс наращивания информационной емкости блоков памяти, выполненных на микросхемах K1601PP1, и уменьшить величину потребляемой мощности.

По команде "Невыбор" происходит блокирование режимов "Запись - считывание" и избирательного стирания.

Блокирование режима стирания по команде "Невыбор" не производится.

С п и с о к л и т е р а т у р ы

1. А л ь т м а н Л. Запоминающие устройства. - Электроника, 1977, №2, с. 23-45.

2. Ф р о м а н-Б е н ч к о в с к и Д. Транзистор со структурой металл-нитрид кремния - окисел - полупроводник /МНОП/. Характеристики и применение. - ТИИЭР, 1970, № 8, с. 73-75.

УДК 621.377.622.25

ИССЛЕДОВАНИЕ СТАТИЧЕСКОГО РЕЖИМА РАБОТЫ ДИОДНЫХ МАТРИЧНЫХ БИС С АДРЕСНЫМ УЗЛОМ НА ВЫХОДЕ

В.М.Корсунский, В.А.Липилин

Для построения быстродействующих постоянных ЗУ вычислительных машин и систем 4-го поколения весьма перспективны диодно-матричные большие интегральные схемы /ДМ БИС/ с раздельной организацией [1] - [3]. В данной работе исследуется ДМ БИС с адресным узлом на выходе, электрическая принципиальная схема которой приведена на рис. 1.

Информация хранится здесь в диодно-матричном накопителе, в каждом перекрестии которого наличие диода соответствует логической единице, а отсутствие - логическому нулю. На входы А адресного узла, включенного на выходе накопителя, при считывании информации необходимо подавать /в виде стандартных напряжений $U_{\text{вх}}^0 \leq 0,4 \text{ В}$ и