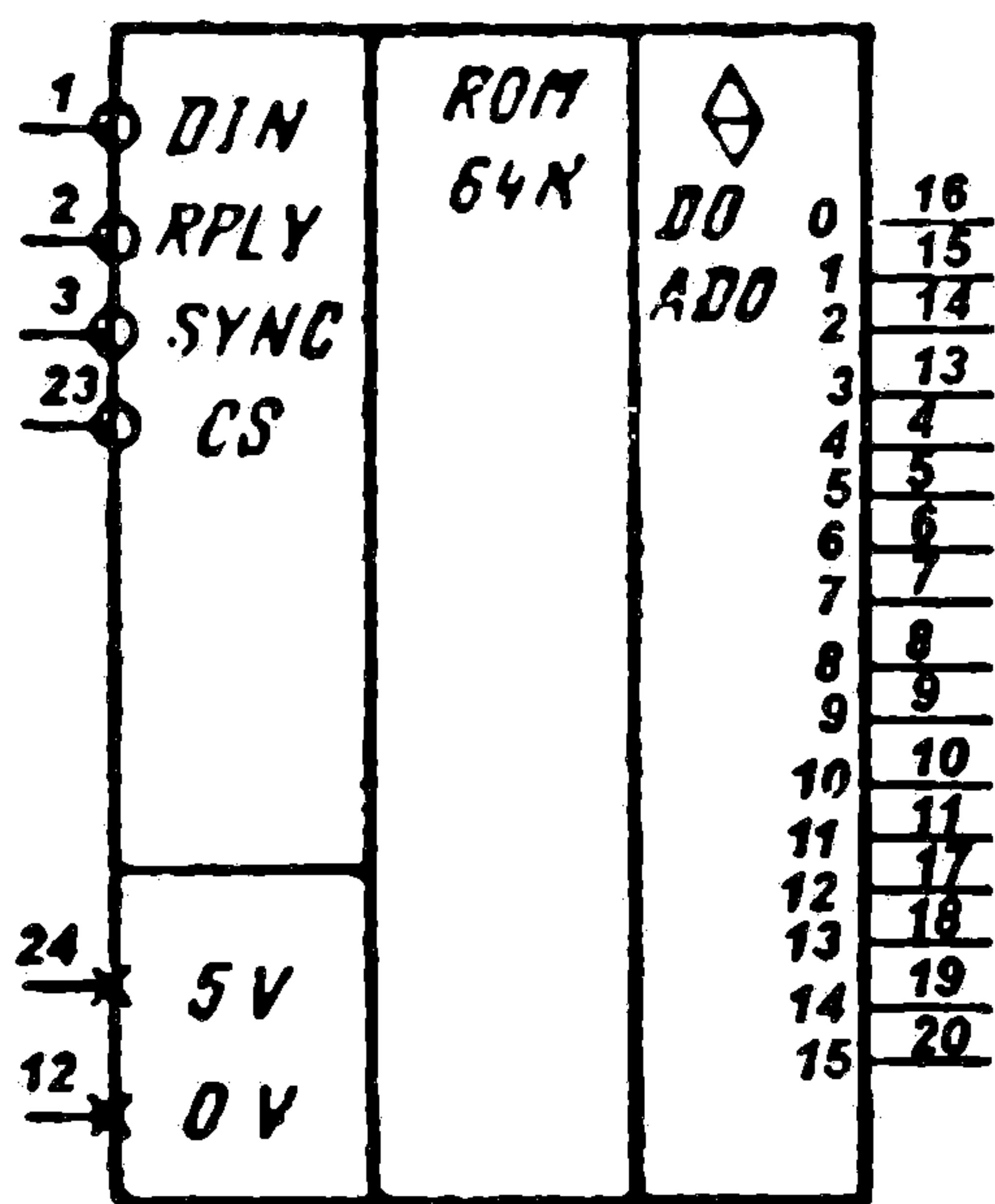


К1801РЕ1А, К1801РЕ1Б

Микросхемы представляют собой масочное постоянное запоминающее устройство емкостью 64 кбит (4 к × 16) с тремя состояниями на выходе и предназначены для работы со стандартной системной магистралью для микро-ЭВМ (встроенное устройство управления позволяет подключать ИС непосредственно к магистрали). Содержат матрицу, регистры и дешифраторы кода адреса, селекторы, 3-разрядный регистр с защитным кодом адреса и схема сравнения для выбора микросхемы в магистрали. Наличие встроенного устройства адресации позволяет включать в магистраль до восьми ИС без дополнительных устройств сопряжения. Особенностью ИС является совмещение адресных входов $A1...A15$ и выходов данных $DO0...DO15$. Выходные формирователи выполнены по схеме на три состояния. Три старших разряда



Условное графическое обозначение К1801РЕ1

кода адреса $A15...A13$ предназначены для выбора микросхемы, остальные разряды ($A12...A1$) — для выборки считываемого слова. Содержат 80 000 интегральных элементов. Корпус типа 210Б.24-1, масса не более 4 г.

Назначение выводов: 1 — вход разрешения чтения данных из ОЗУ \overline{DIN} (\overline{RD}); 2 — сигнал готовности \overline{RPLY} (\overline{AN}); 3 — синхронизация обмена \overline{SYNC} ; 4...11, 13...15, 17...20 — адресные входы/выходы данных $ADO4...ADO11$, $ADO3...ADO1$, $ADO12...ADO15$; 12 — общий; 16 — выход данных $DO0$; 21 —

вывод подложки BS ; 22 — свободный; 23 — выбор микросхемы \overline{CS} ; 24 — напряжение питания.

Электрические параметры

Номинальное напряжение питания	5 В ±5%
Выходное напряжение низкого уровня	≤ 0,5 В
Выходное напряжение высокого уровня	≥ 2,4 В
Ток потребления:	
в режиме хранения	8 мА
в режиме обращения	15 мА
Потребляемая мощность	75 мВт
Потребляемая мощность в режиме хранения	40 мВт
Время выборки адреса:	
К1801РЕ1А	400 нс
К1801РЕ1Б	500 нс

Таблица истинности микросхем |

\bar{C}	\overline{CS}	\overline{RD}	\overline{AN}	\overline{DO}_0	Разряды \overline{ADO}		Режим работы
					1—12	13—15	
X	1	X	1	Z	Z	Z	Хранение ← Ввод адреса Считывание
1	X	X	1	Z	Z	Z	
1/0	0	1	1	X	\overline{A}_d	\overline{A}_{mc}	
0	0	0	0	\overline{D}_0	$\overline{D}_1 \dots \overline{D}_{12}$	$\overline{D}_{13} \dots \overline{D}_{15}$	