

Микросхема К583ХЛ1

Микросхема К583ХЛ1 — универсальный магистральный коммутатор (МК) байтовой информации, выполненный на основе интегральной инжекционной логики (И²Л), предназначен для построения коммутаторов и мультимплексоров данных, буферных устройств хранения и логической обработки данных, устройств восстановления информации в системах с резервированием.

Условное графическое обозначение микросхемы приведено на рис. 5.19, назначение выводов дано в табл. 5.16, структурная схема показана на рис. 5.20, формат микрокоманд микросхемы — на рис. 5.21, система микрокоманд — в табл. 5.17, временная диаграмма работы — на рис. 5.22.

Микросхема обеспечивает выполнение следующих операций:

межмагистральный обмен данными между четырьмя информационными магистралями в 2 направлениях;

передачу информации из магистралей в регистры;

передачу информации из регистров в магистрали;

логическую обработку байтовых данных; одновременный прием и одновременную выдачу байтовой информации на четыре магистрали данных;

восстановление информации по мажоритарному принципу по двум из трех магистралей с выдачей результата на четвертую магистраль или записью в регистр четвертой магистрали.

Структурная схема микросхемы К583ХЛ1, приведенная на рис. 5.20, содержит следующие функциональные узлы:

четыре 8-разрядных двунаправленных магистрали $L1(0-7) - L4(0-7)$ с выходом с открытым коллектором;

четыре 8-разрядных буферных регистра $RG1-RG4$, синхронизируемых уровнем;

четыре 8-разрядных логических устройства $LU1-LU4$;

13-разрядную магистраль управления $S1-S13$,

одноразрядную магистраль синхронизации. Логические устройства $LU1-LU4$ производят асинхронно выполнение логических операций над операндами, поступающими с магистралей $L1-L4$ в соответствии с табл. 5.17. Результат операции логических устройств поступает в выходные буферные регистры или непосредственно на магистрали $L1-L4$.

Микросхема выполняет операции мажорирования байтовых данных для трех операндов по правилу

$$*(A, B, C) = (A \wedge B) \vee (B \wedge C) \vee (A \wedge C)$$

Работа буферных регистров микросхемы $RG1-RG4$ синхронизирована одним синхросигналом R .

Отрицательный перепад уровней сигнала R стробирует занесение информации во все регистры данных $RG1-RG4$ одновременно.

Для микросхемы возможны два режима работы, задаваемые уровнем сигнала на входе R :

без сохранения состояния магистралей. В этом режиме при значении управляющего сигнала $R=0$ в регистрах $RG1-RG4$ не происходит сохранения результата выполнения логических операций в $LU1-LU4$;

с сохранением состояния магистралей. В этом режиме при значении управляющего сигнала $R=1$ регистры $RG1-RG4$ и магистрали $L1-L4$ соответственно сохраняют результат выполнения логических операций в логических устройствах $LU1-LU4$.

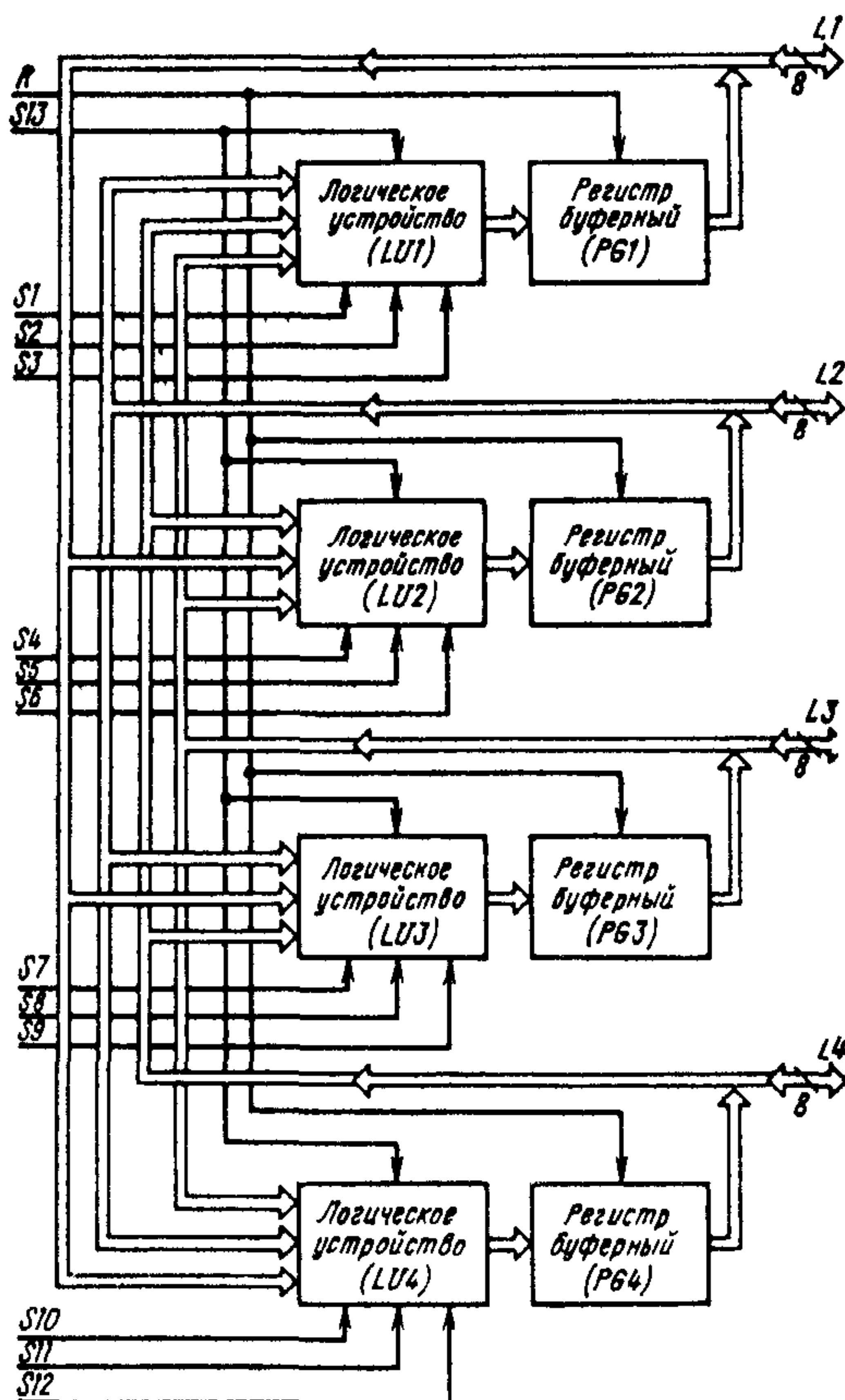


Рис. 5.20. Структурная схема К583ХЛ1

Таблица 5.16

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
3, 10, 11, 18, 32, 39, 40, 47	L1 (0) — L1 (7)	Входы/выходы	Магистраль данных
4, 9, 12, 17, 33, 38, 41, 46	L2 (0) — L2 (7)	Входы/выходы	Магистраль данных
5, 8, 13, 16, 34, 37, 42, 45	L3 (0) — L3 (7)	Входы/выходы	Магистраль данных
6, 7, 15, 14, 35, 36, 43, 44	L4 (0) — L4 (7)	Входы/выходы	Магистраль данных
19—31	S1—S13	Входы	Магистраль управления
1	R	Вход	Синхронизация
48	I _G	—	Ток инжектора
24	GND	—	Общий

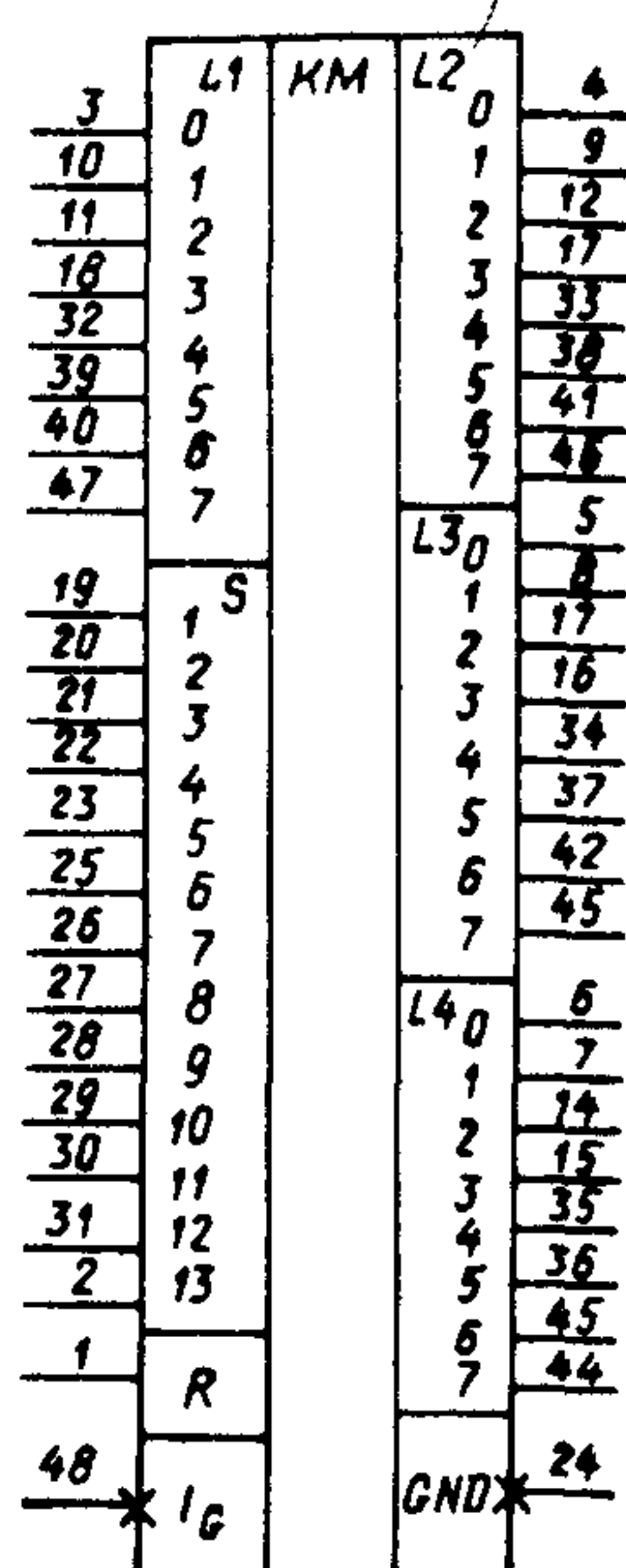


Рис. 5.19. Условное графическое обозначение К583ХЛ1

Таблица 5.17

Мнемоника микрокоманд	Код микрокоманды				Выполняемые операции			
	S _i	S _{i+1}	S _{i+2}	S _{i+3}	i = 1	i = 4	i = 7	i = 10
NOP	0	0	0	0	00 → L1	00 → L2	00 → L3	00 → L4
NOP	0	0	1	0	00 → L1	00 → L2	00 → L3	00 → L4
NOP	0	1	0	0	00 → L1	00 → L2	00 → L3	00 → L4
NOP	1	0	0	0	00 → L2	00 → L2	00 → L3	00 → L4
NOP	0	0	0	1	00 → L1	00 → L2	00 → L3	00 → L4
MY	1	0	0	1	L2 → L1	L1 → L2	L1 → L3	L1 → L4
MY	0	1	0	1	L3 → L1	L3 → L2	L2 → L3	L2 → L4
MY	0	0	1	1	L4 → L1	L4 → L2	L4 → L3	L3 → L4
AND	1	1	0	0	∧ (L2, L3) → L1	∧ (L1, L3) → L2	∧ (L1, L2) → L3	∧ (L1, L2) → L4
AND	1	0	1	0	∧ (L2, L4) → L1	∧ (L1, L4) → L2	∧ (L1, L4) → L3	∧ (L1, L3) → L4
AND	0	1	1	0	∧ (L3, L4) → L1	∧ (L3, L4) → L2	∧ (L2, L4) → L3	∧ (L2, L3) → L4
OR	1	1	0	1	∨ (L2, L3) → L1	∨ (L1, L3) → L2	∧ (L1, L2) → L3	∨ (L1, L2) → L4
OR	1	0	1	1	∨ (L2, L4) → L1	∨ (L1, L4) → L2	∨ (L1, L4) → L3	∨ (L1, L3) → L4
OR	0	1	1	1	∨ (L3, L4) → L1	∨ (L3, L4) → L2	∨ (L2, L4) → L3	∨ (L2, L3) → L4
VC	1	1	1	0	∨ [∧ (L2, L3), ∧ (L2, L4), ∧ (L3, L4)] → → L1	∨ [∧ (L1, L3), ∧ (L1, L4), ∧ (L3, L4)] → → L2	∨ [∧ (L1, L2), ∧ (L1, L4), ∧ (L2, L4)] → → L3	∨ [∧ (L1, L2), ∧ (L1, L3), ∧ (L2, L3)] → → L4
OR	1	1	1	1	∨ (L2, L3, L4) → L1	∨ (L1, L3, L4) → L2	∨ (L1, L2, L4) → L3	∨ (L1, L2, L3) → L4

Примечания. 1. Управляющий сигнал R=0.

2. При i=1 коды приведены для S1—S3, при i=4 — для S4—S6; при i=7 — для S7—S9, при i=10 — для S10—S12.

3. Для функционирования микросхемы согласно табл. 5.17 на магистрали, по которым поступает входная информация, должен выдаваться код 00₁₆ из логических устройств, соответствующих этой магистрали.

4. ∧ — операция конъюнкции, ∨ — операция дизъюнкции.

Рис. 5.21. Формат микрокоманд микросхемы К583ХЛ1:

$S1-S3$ — поле управления магистрали $L1$; $S4-S6$ — поле управления магистрали $L2$; $S7-S9$ — поле управления магистрали $L3$; $S10-S12$ — поле управления магистрали $L4$; $S13$ — общий сигнал управления магистралями $L1-L4$; R — сигнал синхронизации регистров $PG1$ $PG4$

Основные параметры К583ХЛ1

Напряжение питания U_{cc}	1,2—5 В
Ток питания I_G	170 мА $+25\%$ -15%
Входной ток высокого уровня I_{IH} , не более	0,2 мА
Выходное напряжение низкого уровня U_{OL} , не более	0,4 В
Выходной ток высокого уровня I_{OH} , не более	0,45 мА
Выходной ток низкого уровня I_{OL} , не более	20 мА
Время задержки передачи информации между магистралями t_P , не более	100 нс

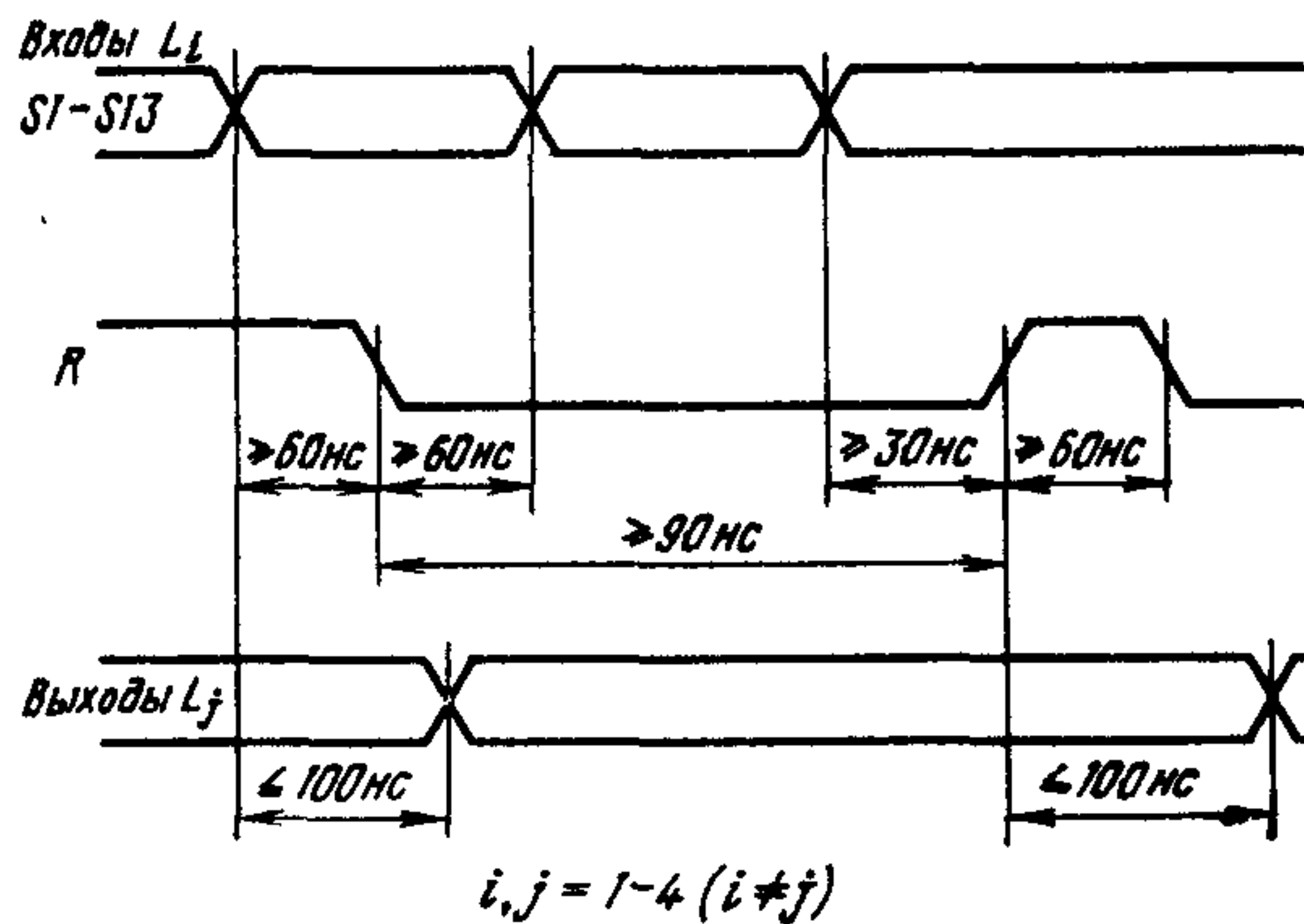
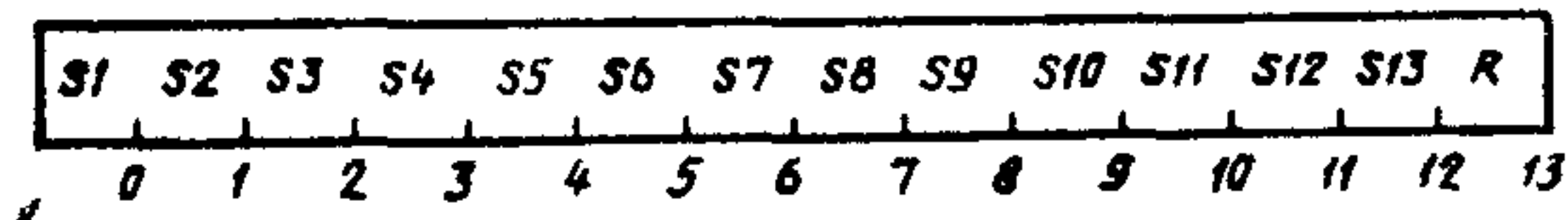


Рис. 5.22. Временная диаграмма работы К583ХЛ1