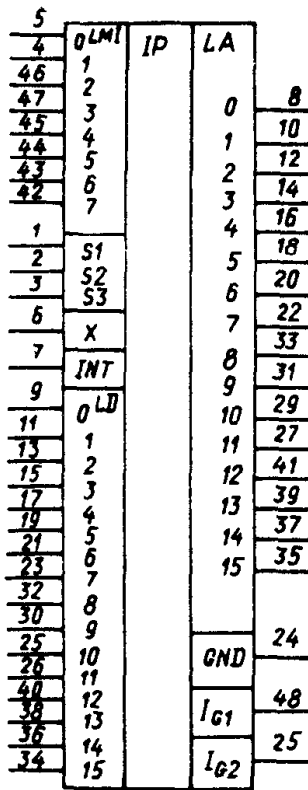


К583ИК1, КР583ИК1

Микросхемы представляют собой инкрементный микропроцессор и предназначены для построения устройств адресации ЗУ и устройств генерации последовательности кодов, выполнены по технологии интегральной инжекционной логики. Микросхема К583ИК1 обеспечивает: прямую и обратную последовательность адресации ячеек ЗУ; косвенную, индексную и базовую адресацию ячеек ЗУ; четыре уровня вложенности подпрограмм; организацию условных и безусловных переходов в программах и микропрограммах; переход по внешнему прерыванию.

Содержат 8500 интегральных элементов. Корпус 4134.48-2, масса не более 4,5 гр и 2205.48-1, масса не более 8 гр.

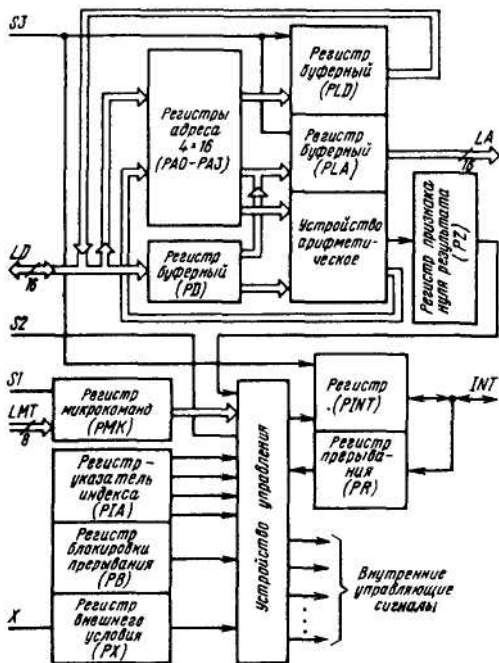
Максимальная емкость адресуемой памяти 64К слов.



Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
8, 10, 12, 14, 16, 18, 20, 22, 33, 31, 29, 27, 41, 39, 37, 35	LA0—LA15	Выходы	Выходная магистраль адреса
9, 11, 13, 15, 17, 19, 21, 23, 32, 30, 28, 26, 40, 38, 36, 34	LDO—LD15	Входы/выходы	Двухнаправленная магистраль данных
5, 4, 46, 47, 45, 44—42	LM10—LM17	Входы	Магистраль микрокоманд
1, 2	S1, S2	Входы	Синхросигналы приема и выполнения микрокоманды
3	S3	Вход	Сигнал выдачи данных на магистрали LA, LD и вывод INT
6	X	Вход	Сигнал внешнего условия
7	INT	Вход/выход	Сигнал внешнего прерывания
48, 25	IG1, IG2		Питание
24	GND	—	Общий

Основные параметры К583ИК1

Напряжение питания	1,2...5 В
Номинальный ток инжектора $I_G = I_{G1} + I_{G2}$	280 мА
Потребляемая мощность P_{cc}	
при номинальном токе инжектора	336 мВт
Входной ток низкого уровня I_{IL} при $U_{IL} = 2,4$ В, не более	0,2 мА
Выходной ток высокого уровня I_{OH} , не более:	
для магистрали LD, вывода INT	0,45 мА
для магистрали LA	0,05 мА
Выходной ток низкого уровня I_{OL} , не более	20 мА
Выходное напряжение низкого уровня U_{OH} , не более	0,4 В
Время цикла T_c , не более	1000нс



Микросхема имеет четыре общих 16-разрядных регистра адреса PA0 — PA3, обеспечивающих хранение адресов к памяти. Наличие 16-разрядного арифметического устройства обеспечивает выполнение различных арифметических операций.

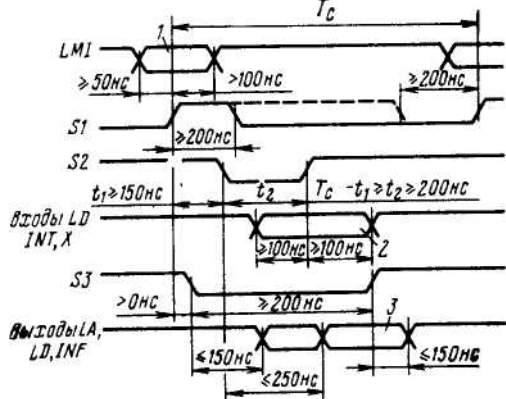
Буферные регистры PLA, PLD, PD и PINT обеспечивают хранение информации в течение цикла при приеме и выдаче на соответствующие магистрали.

Регистры PX, PR, PIA, PB, PZ образуют внутренний регистр состояния (PC) микросхемы, определяющий ее внутреннее состояние.

Магистраль адреса LA обеспечивает вывод сформированного адреса к памяти.

Магистраль данных LD обеспечивает возможность ввода адреса перехода, смещения или осуществления загрузки/выгрузки регистров адреса PA0 — PA3. Схема формирования адреса регистров PA0—PA3 выполнена так, что на входе устройства управления параллельно формируются четыре двухбитовых кода адреса выборки регистров PA: адрес из регистра микрокоманд; адрес из регистра индекса PIA; инкрементированный адрес из PIA; декрементированный адрес из PIA. Выборка одного из указанных адресов обеспечивается соответствующими разрядами микрокоманды.

Работа микросхемы синхронизирована тремя синхросигналами: S1, S2, S3.



Синхросигнал S1 стробирует занесение в PMK микрокоманды, синхросигнал S2 обеспечивает обработку принятой микрокоманды. Синхросигнал S3 стробирует выдачу информации из микросхемы на магистрали LA, LD и выход INT.

Во время исполнения принятой микрокоманды возможны четыре комбинации синхросигналов S1, S2, которые позволяют получить четыре режима работы микросхемы.

Нормальный режим (S1, S2 присутствуют). Каждый цикл принимается новая микрокоманда, которая затем исполняется.

Режим пропуска цикла (S2 отсутствует). Каждый цикл принимается новая микрокоманда, но не исполняется.

Режим приостановки (S1, S2 отсутствуют). Хранится последняя принятая микрокоманда, но не исполняется.

Режим остаточного управления (S1 отсутствует). Происходит

многократное исполнение последней принятой микрокоманды.

Возможность этих режимов работы обеспечивается тем, что регистр PMK стробируется синхросигналом S1, а регистры PA0—PA3, PD, PLD, PIA, PX, PP, PZ, PINT — синхросигналом S2.

Управляющий синхросигнал S3 может подаваться в произвольный момент времени и не связан никакими временными соотношениями с синхросигналами S1, S2.

Мнемоника микрокоманды	Поле П1 Разряды микрокоманды				Содержание операций	Возможные константы
	0	1	2	3		
XX	0	0	X	X	МК (2—3) → PIA	0002 ₁₆ 0003 ₁₆
IA	0	1	0	0	+ (PIA, 1) → PIA	
DA	0	1	0	1	- (PIA, 1) → PIA	
AA	0	1	1	0	PIA → PIA;	
BR	0	1	1	1	Если PX = 0, то PIA → PIA; если PX = 1, то (PIA, 1) → PIA	
PL	1	0	X	X	PA _i → LD	
LP	1	1	X	X	LD → PA _i	

Микросхема выполняет 112 микрокоманд. Формат микрокоманды имеет постоянную длину и занимает восемь двоичных разрядов, которые разбиты на два независимых поля: поле кода операции регистра состояния П1 (разряды 0—3) и поле кода операции арифметического устройства П2 (разряды 4—7).

Поле П1 определяет пять операций регистра индекса адреса PIA и управляет вводом и выводом информации через магистраль LD.

Поле П2 определяет источники операндов, функцию арифметического устройства, запись результата в регистры PA0—PA3, управляет выдачей адресов на магистраль LA.

Примечания

1. Константа 0002₁₆ является сигналом переполнения регистра PIA, формируется по +1 при PIA = 11₂ и выдается на магистраль LA.
2. Константа 0003₁₆ является сигналом переполнения регистра PIA, формируется по -1 при PIA = 00₂ и выдается на магистраль LA.
3. Индекс регистра PA определяется переменной XX из поля П1; i = МК (2—3).

Мнемоника микрокоманды	Поле P2 Разряды микрокоманды				Внешнее условие PX	Содержание операции	Возможные константы
	0	1	2	3			
RZ**	0	0	0	0		$0000_{16} \rightarrow LA; PA_i \rightarrow PA_i$	
RIC	0	0	0	1	0	$PA_i \rightarrow LA; PA_i \rightarrow PA_i$	0001 ₁₆
					1	$PA_i \rightarrow LA; +(PA_i, 1) \rightarrow PA_i$	0001 ₁₆ 0004 ₁₆
MV	0	0	1	0		$PD \rightarrow LA; +(PA_i, 1) \rightarrow PA_i$	0001 ₁₆ 0004 ₁₆
MVD	0	0	1	1		$PD \rightarrow LA; -(PA_i, 1) \rightarrow PA_i$	0001 ₁₆ 0004 ₁₆
RAD	0	1	0	0		$PA_i \rightarrow LA; +(PA_i, PD) \rightarrow PA_i$	0001 ₁₆ 0004 ₁₆
PZAD	0	1	0	1		$0000_{16} \rightarrow LA; +(PA_i, PD) \rightarrow PA_i$	0001 ₁₆ 0004 ₁₆
RWT	0	1	1	0		$* [PA_i (0-7), PD (8-15)] \rightarrow LA$ $+ [* [PA_i (0-7), PD (8-15)], 1] \rightarrow PA_i$	0001 ₁₆ 0004 ₁₆
MVW	0	1	1	1		$PD \rightarrow LA; +(PD, 1) \rightarrow PA_i$	0001 ₁₆ 0004 ₁₆
MVWC	1	0	0	0	0	$PA_i \rightarrow LA; +(PA_i, 1) \rightarrow PA_i$	0001 ₁₆
					1	$PD \rightarrow LA; +(PD, 1) \rightarrow PA_i$	0004 ₁₆
RZIC	1	0	0	1	0	$PA_i \rightarrow LA; PA_i \rightarrow PA_i$	0001 ₁₆
					1	$0000_{16} \rightarrow LA; +(PA_i, 1) \rightarrow PA_i$	0001 ₁₆ 0004 ₁₆
RWTC	1	0	1	0	0	$PA_i \rightarrow LA; -(PA_i, 1) \rightarrow PA_i$	0001 ₁₆
					1	$* [PA_i (0-7), PD (8-15)] \rightarrow LA$ $+ [* [PA_i (0-7), PD (8-15)], 1] \rightarrow PA_i$	0004 ₁₆
RD	1	0	1	1		$PA_i \rightarrow LA; PA_i \rightarrow PA_i$	0001 ₁₆
RNIN**	1	1	0	0		$PA_i \rightarrow LA; +(PA_i, 1) \rightarrow PA_i; 0_2 \rightarrow PB$	0004 ₁₆
RI	1	1	0	1		$PA_i \rightarrow LA; +(PA_i, 1) \rightarrow PA_i$	0004 ₁₆
RIN**	1	1	1	0		$PA_i \rightarrow LA; +(PA_i, 1) \rightarrow PA_i; 1_2 \rightarrow PB$	0004 ₁₆
NOP**	1	1	1	1		$PA_i \rightarrow PA_i$; на LA, LD сохраняется состояние предыдущего цикла	

Примечания.

1. PA_i — один из регистров адреса PA0 — PA3, адресуемый индексным регистром PIA.

2. Константа 0001₁₆ является первым адресом подпрограммы обработки внешнего прерывания и формируется в микрокомандах, реагирующих на прерывание при условиях $PZ=I_2$ и $PB=0_2$.

3. Константа 0004₁₆ является признаком лог. 0 результата и формируется в микрокомандах с модификацией $+(PA_i, 1)$; $+(PA_i, PD)$; $+(PD, 1)$; $+[* [PA_i(0-7), PD(8-15)], 1]$; $-(PA_i, 1)$ при условии $PR=I$.

4. При формировании любых констант (0001₁₆, 0002₁₆, 0003₁₆, 0004₁₆) формируется признак $INT=I_2$.

* - операция склейки байтов.

** - микрокоманды на прерывание не реагируют

