

Микросхема К583ВА4

Микросхема К583ВА4 — универсальный магистральный коммутатор байтовой информации, выполненный на основе малоомощной ТТЛШ-технологии, полный функциональный аналог микросхемы К583ХЛ1, но имеет повышенное быстродействие.

Микросхема предназначена для построения коммутаторов и мультиплексоров данных, буферных устройств хранения и логической обработки данных, устройств восстановления информации в системах с резервированием.

Условное графическое обозначение микросхемы приведено на рис. 5.41, назначение выводов соответствует микросхеме К583ХЛ1

(обозначение вывода 48— U_{CC}), структурная схема, а также формат и система микрокоманд соответствуют микросхеме К583ХЛ1. Временная диаграмма работы микросхемы приведена на рис. 5.42, электрические схемы входных и выходных согласующих каскадов показаны на рис. 5.43.

Состав функциональных блоков микросхемы К583ВА4, типы выполняемых операций, режимы работы и синхронизация соответствуют микросхеме К583ХЛ1.

Основные параметры К583ВА4

Напряжение питания U_{CC} . . . 5 В $\pm 10\%$

Ток потребления I_{CC} , не более . . . 120 мА

Выходное напряжение низкого уровня U_{OL} , не более . . . 0,5 В

Выходной ток высокого уровня I_{OH} , не более . . . 0,5 мА

Выходной ток низкого уровня I_{IL} , не более:

для магистралей $L1-L4$. . . $|-0,2|$ мА

для управляющих входов . . . $|-0,4|$ мА

Входной ток высокого уровня I_{IH} , не более:

для магистралей $L1-L4$. . . 50 мкА

для управляющих входов . . . 20 мкА

Выходной ток низкого уровня I_{OL} 20 мА

Время задержки передачи информации между магистралями t_P 45 нс

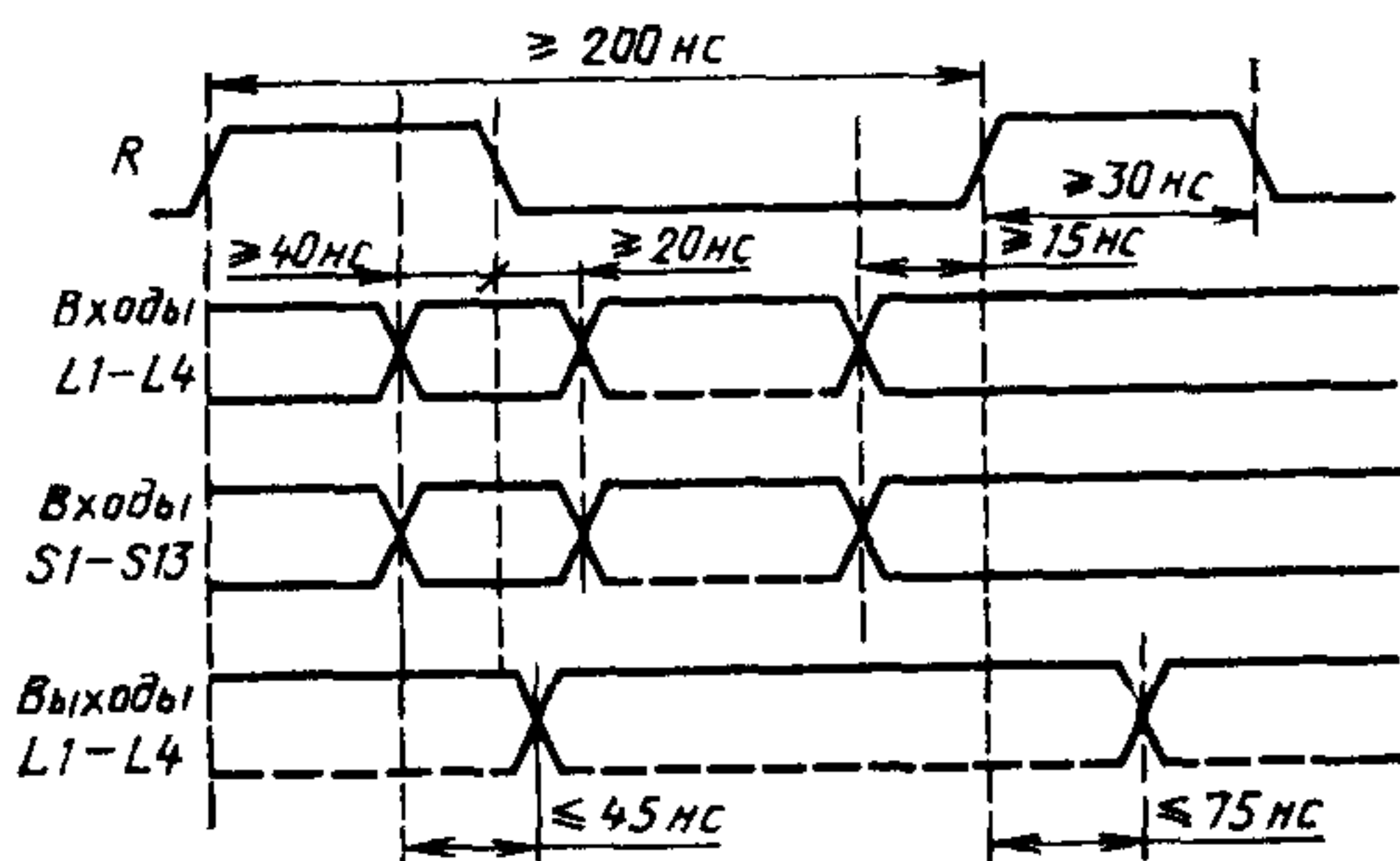


Рис. 5.42. Временная диаграмма работы К583ВА4

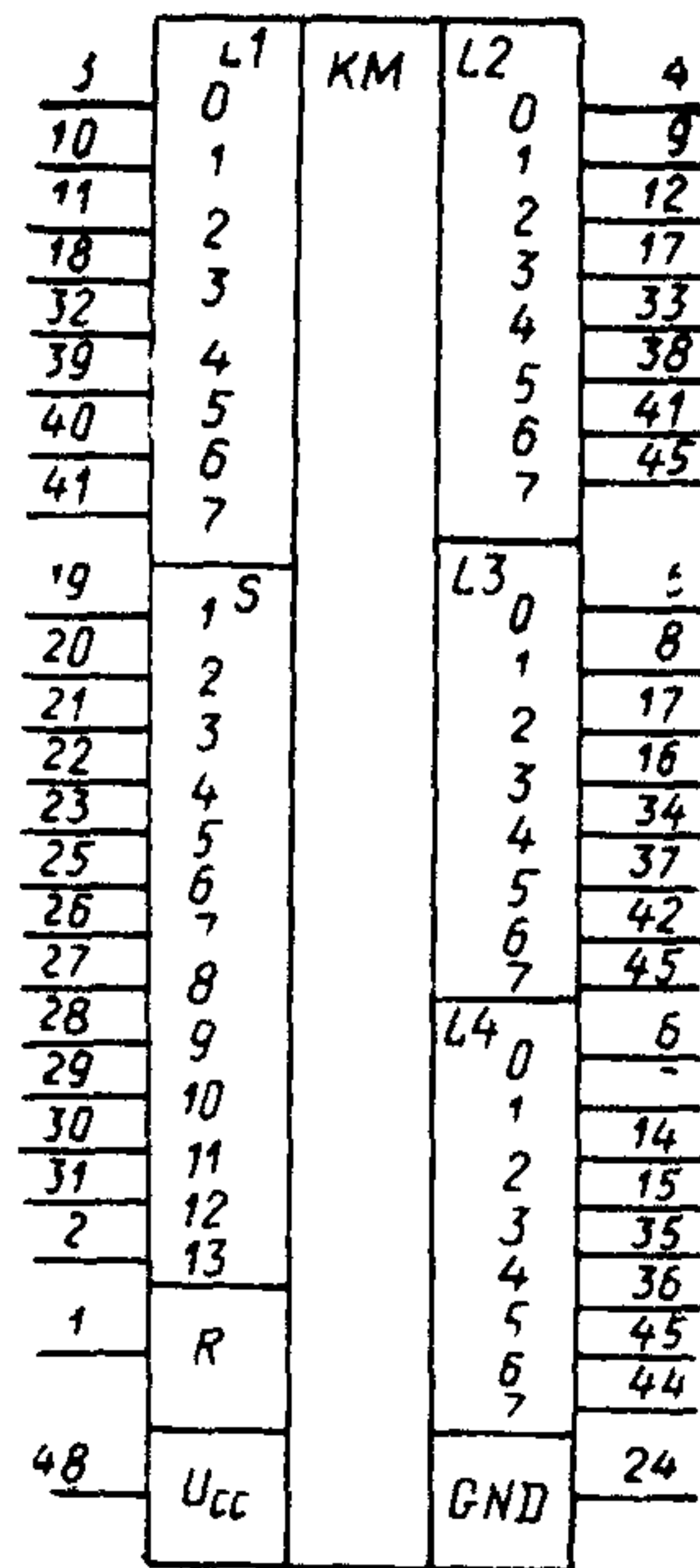


Рис. 5.41. Условное графическое обозначение К583ВА4

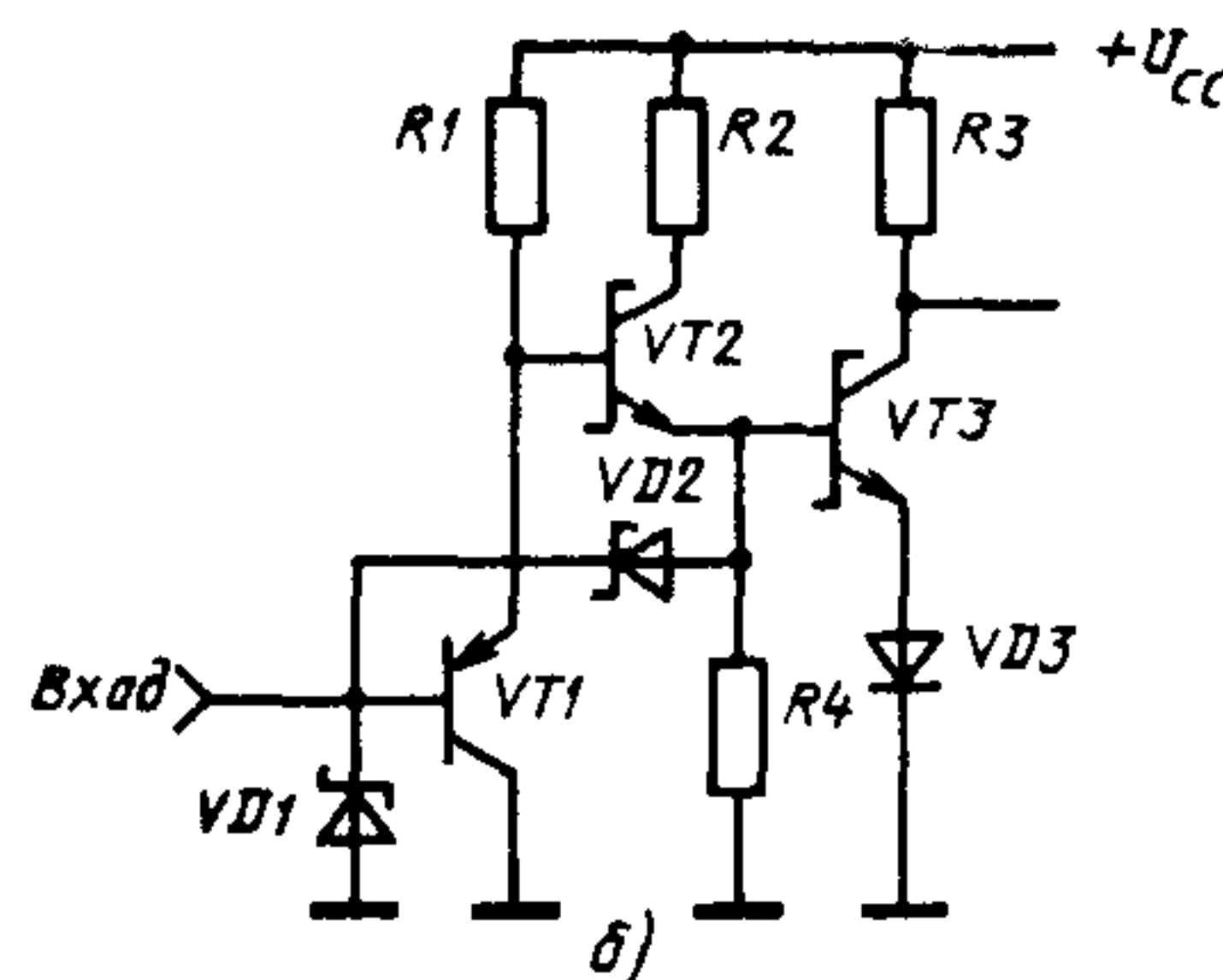
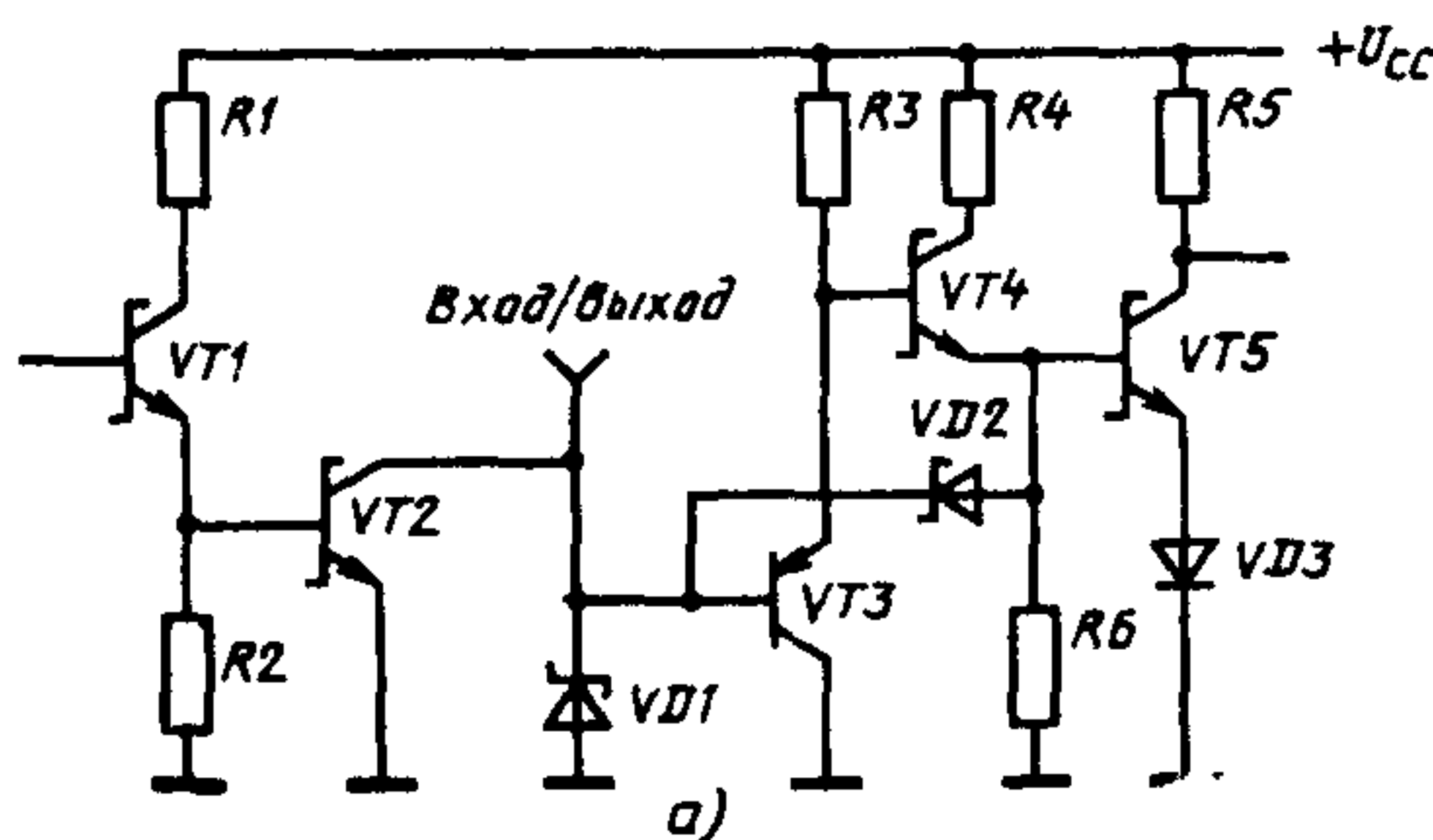


Рис. 5.43. Электрические схемы двунаправленного (а) и выходного (б) согласующих каскадов К583ВА4

Структура коммутатора магистралей K583BA4 показана на рис. 4.9, в. В состав БИС входят: четыре 8-разрядных регистра для временного хранения информации ($RG1 - RG4$); четыре 8-разрядных устройства логической обработки информации ($LU1 - LU4$).

Описание выводов KM4 приведено в табл. 4.22. Микросхема имеет симметричную архитектуру. Операции в $LU1 - LU4$ задаются 4-разрядными кодами с одним общим разрядом $MI(0)$ согласно табл. 4.23. Занесение информации в $RG1 - RG4$ стробируется отрицательным фронтом общего сигнала стро-ба — STB . Временная диаграмма работы KM4 приведена на рис. 4.9, г, ниже даны значения основных времен (нс):

Время пересылки данных $t_{IO} \dots \leq 45$
 » распространения данных
 $t_{RL} \dots \leq 45$
 Время предустановки информации
 $t_{RH} \dots \geq 15$
 Время исполнения микрокоманды ≥ 75

Микросхема функционирует в двух режимах: без сохранения состояния регистров (уровень сигнала STB); с сохранением состояния данных в регистрах $RG1 - RG2$ (уровень сигнала STB).

При работе с сохранением состояния данные в регистрах $RG1 - RG4$ не изменяются в ходе исполнения микрокоманды, на входах магистралей $D1 - D4$ индицируется старое состояние выходных регистров.

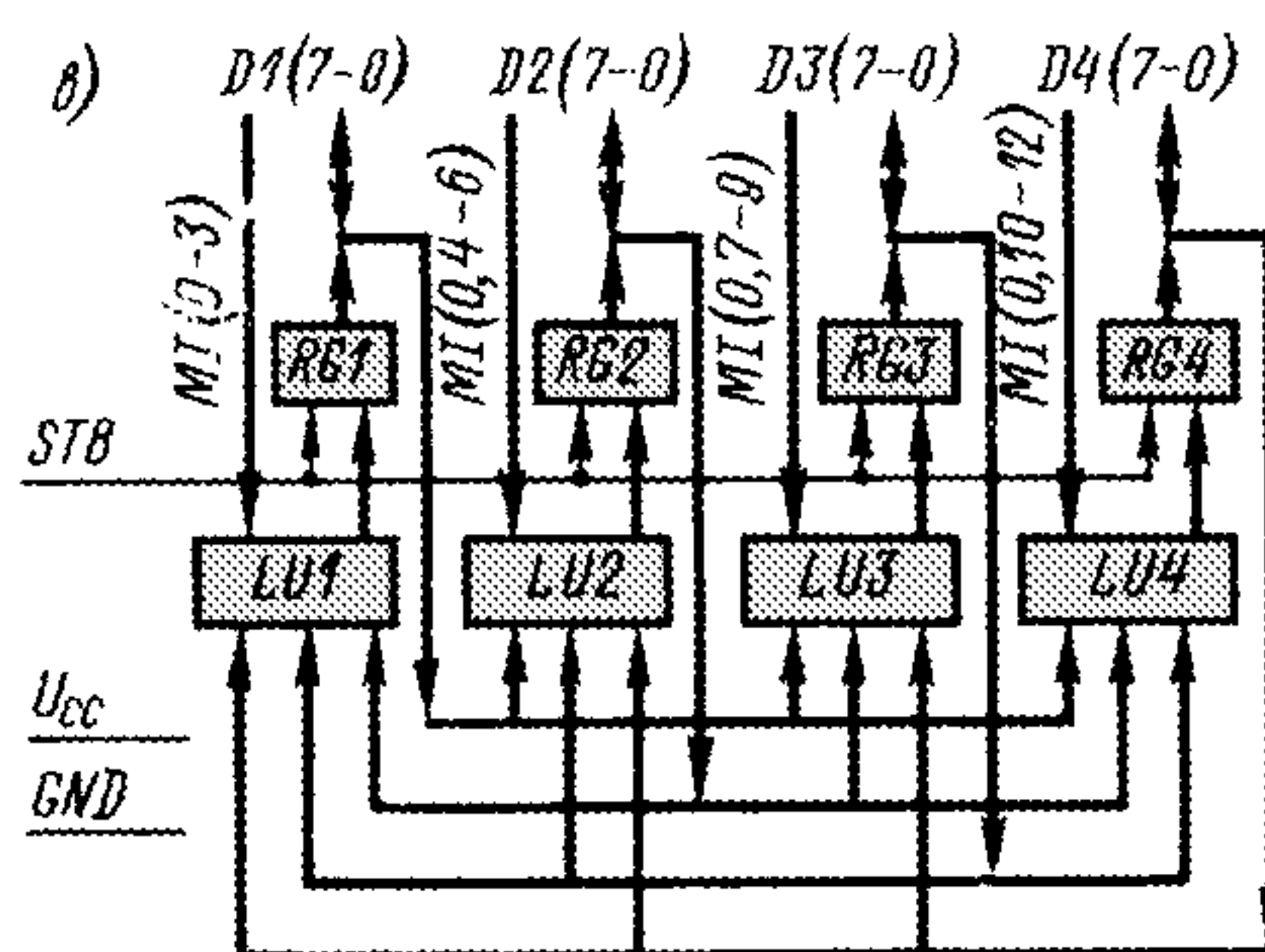


Рис. 4.9

Таблица 4.22. Описание выводов БИС K583BA4

Обозначение вывода	Номер контакта	Назначение вывода
$D1(7-0)$	47; 40; 39; 32; 18; 11; 10; 3	Двунаправленная 8-разрядная параллельная шина данных
$D2(7-0)$	46; 41; 38; 33; 17; 12; 9; 4	
$D3(7-0)$	45; 42; 37; 34; 16; 13; 8; 5	
$D4(7-0)$	44; 43; 36; 35; 15; 14; 7; 6	
STB	1	
$MI(12-0)$	31; 30; 29; 28; 27; 26; 25; 23; 22; 21; 20; 19; 2	Вход сигнала стро-ба записи дан-ных в регист-ры $RG1 - RG4$
U_{CC}	48	Входы микрокоманды
GND	24	Напряже-ние питания (+5 В)
		Напряже-ние питания (0 В)

Таблица 4.23. Система микрокоманд БИС K583BA4

Код MI	Операция с вы-дачей данных в $D1$	Код MI	Операция с вы-дачей данных в $D2$	Код MI	Операция с вы-дачей данных в $D3$	Код MI	Операция с вы-дачей данных в $D4$
1230		4560		7890		1011120	
0000	0	0000	0	0000	0	0000	0
0001	0	0001	0	0001	0	0001	0
0010	0	0010	0	0010	0	0010	0
0100	0	0100	0	0100	0	0100	0
1000	0	1000	0	1000	0	1000	0
1001	(D2)	1001	(D1)	1001	(D1)	1001	(D1)
0101	(D3)	0101	(D3)	0101	(D2)	0101	(D2)
0011	(D4)	0011	(D4)	0011	(D4)	0011	(D3)
1100	(D2) $\wedge$ (D3)	1100	(D2) $\wedge$ (D3)	1100	(D1) $\wedge$ (D2)	1100	(D1) $\wedge$ (D2)
1010	(D2) $\wedge$ (D4)	1010	(D1) $\wedge$ (D4)	1010	(D1) $\wedge$ (D4)	1010	(D1) $\wedge$ (D3)
0110	(D3) $\wedge$ (D4)	0110	(D3) $\wedge$ (D4)	0110	(D2) $\wedge$ (D4)	0110	(D2) $\wedge$ (D3)
1101	(D2) $\vee$ (D3)	1101	(D1) $\vee$ (D3)	1101	(D1) $\vee$ (D2)	1101	(D1) $\vee$ (D2)
1011	(D2) $\vee$ (D4)	1011	(D1) $\vee$ (D4)	1011	(D1) $\vee$ (D4)	1011	(D1) $\vee$ (D3)
1111	(D2) $\vee$ (D3) $\vee$ (D4)	1111	(D1) $\vee$ (D3) $\vee$ (D4)	1111	(D1) $\vee$ (D2) $\vee$ (D4)	1111	(D1) $\vee$ (D2) $\vee$ (D3)
0111	(D3) $\vee$ (D4)	0111	(D3) $\vee$ (D4)	0111	(D2) $\vee$ (D4)	0111	(D2) $\vee$ (D3)
1110	(D2) $\wedge$ (D3) $\vee$ (D2) $\wedge$ (D4) $\vee$ (D3) $\wedge$ (D4)	1110	(D1) $\wedge$ (D3) $\vee$ (D1) $\wedge$ (D4) $\vee$ (D3) $\wedge$ (D4)	1110	(D1) $\wedge$ (D2) $\vee$ (D1) $\wedge$ (D4) $\vee$ (D2) $\wedge$ (D4)	1110	(D1) $\wedge$ (D2) $\vee$ (D1) $\wedge$ (D3) $\vee$ (D2) $\wedge$ (D3)

Примечания: 1. В микросхеме используется инверсная кодировка информации, при которой сигнал логического нуля кодируется высоким, а логической единицы — низким потенциалом. 2. Микрокоманды выполняются при сигнале $STB = 0$.