

587ИК2, К587ИК2, КР587ИК2

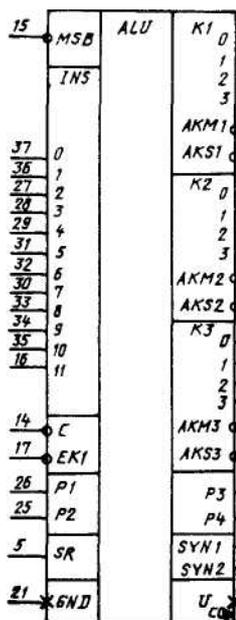
Микросхемы К587ИК2 и КР587ИК2 — автономный управляемый микропрограммно асинхронный 4-разрядный модуль обработки цифровой информации. Корпус КР587ИК2 2204.42-1, 587ИК2 (К587ИК2) 429.42-3

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	<i>K2 (2)</i>	Вход/выход*	Информация канала <i>K2</i> , 2-й разряд
2	<i>K1(2)</i>	Вход/выход*	Информация канала <i>K1</i> , 2-й разряд
3	<i>K2 (3)</i>	Вход/выход*	Информация канала <i>K2</i> , 3-й разряд
4	<i>K1 (3)</i>	Вход/выход*	Информация канала <i>K1</i> , 3-й разряд
5	<i>SR</i>	Вход	Сигнал установки в исходное состояние
6	<i>AKS1</i>	Вход/выход**	Сигнал, свидетельствующий об окончании приема лу <i>K1</i>
7	<i>AKM1</i>	Вход/выход**	Сигнал, сопровождающий выдаваемую инфор-по каналу <i>K1</i>
8	<i>AKS2</i>	Вход/выход**	Сигнал, свидетельствующий об окончании приема лу <i>K2</i>
9	<i>AKM2</i>	Вход/выход**	Сигнал, сопровождающий выдаваемую инфор-по каналу <i>K2</i>
10	<i>AKM3</i>	Вход/выход**	Сигнал, сопровождающий выдаваемую инфор-по каналу <i>K3</i>
11	<i>AKS3</i>	Вход/выход**	Сигнал, свидетельствующий об окончании приема лу <i>K3</i>
12	<i>SYN2</i>	Вход/выход**	Синхронизация <i>ALU</i>
13	<i>SYN1</i>	Вход/выход**	Сигнал, свидетельствующий об окончании ли
14	<i>C</i>	Вход	Сигнал разрешения приема и выполнения микрокоманды
15	<i>MSB</i>	Вход	Сигнал, кодирующий признак старшего модуля в группе совместно работающих микросхем <i>ALU</i>
16	<i>INS 11</i>	Вход	Информация регистра микрокоманд, 11-й разряд
17	<i>EK1</i>	Вход	Сигнал разрешения обмена работы по первому информационному каналу
18	<i>P4</i>	Вход/выход	Сигнал, кодирующий состояние цепи переноса старшего разряда
19	<i>P3</i>	Выход	Сигнал, кодирующий состояние цепи переноса из старшего разряда
20	<i>K3 (3)</i>	Вход/выход**	Информация канала <i>K3</i> , 3-й разряд
21	<i>GND</i>	—	Общий
22	<i>K3 (2)</i>	Вход/выход**	Информация канала <i>K3</i> , 2-й разряд
23, 24	<i>K3 (1), K3 (0)</i>	Вход/выход**	Информация канала <i>K3</i> , 1-й и 0-й разряды
25	<i>P2</i>	Вход/выход	Сигнал, кодирующий состояние цепи переноса младшего разряда
26	<i>P1</i>	Вход	Сигнал, кодирующий состояние цепи переноса в младший разряд
37, 36, 27— 29, 31, 32, 30, 33-35	<i>IN SO—INS 10</i>	Входы	Информация регистра микрокоманд
38	<i>K1 (0)</i>	Вход/выход*	Информация канала <i>K1</i> , 0-й разряд
39	<i>K2 (0)</i>	Вход/выход*	Информация канала <i>K2</i> , 0-й разряд
40	<i>K1 (1)</i>	Вход/выход*	Информация канала <i>K1</i> , 1-й разряд
41	<i>K2(1)</i>	Вход/выход*	Информация канала <i>K2</i> , 1-й разряд
42	<i>Ucc</i>	—	Напряжение питания

* С тремя состояниями.

** Активный — низкий уровень.

*** Активный — высокий уровень.



В состав микросхемы входят: параллельный арифметическо-логический блок (АЛУ); блок регистров общего назначения (РОН), блок сдвигателя (СДВ); регистр состояния (РС); рабочий регистр А; регистр микрокоманд (РМК); три 4-разрядных канала $K1$ — $K3$; схемы обмена $CO1$ — $CO3$; дешифратор микрокоманд (ДШ), блок расширения, блок синхронизации.

Арифметическо-логический блок предназначен для выполнения арифметических и логических операций. Блок состоит из комбинационной схемы параллельного 4-разрядного арифметическо-логического устройства (АЛУ) с асинхронным переносом и входных мультиплексоров по шинам A и B . АЛУ выполняет арифметические операции (сложение с 1, сложение, вычитание) и логические (конъюнкция, дизъюнкция, сложение по модулю 2, инверсия). Входные мультиплексоры коммутруют поступающие операнды на входы АЛУ. В АЛУ формируются также два сигнала, индицирующие состояния АЛУ при выполнении операций: переполнения (ПП) и расширения (ТР). Сигналом ПП является «неэквивалентность» между переносами из третьего и четвертого разрядов. Сигнал ТР — это перенос из старшего разряда $P3$.

Блок регистров общего назначения предназначен для хранения данных внутри микросхемы ALU . Блок включает восемь 4-разрядных регистров (РОН), доступных микропрограммно. Содержимое регистров поступает на входы АЛУ по шинам считывания A и B . Запись информации в один из регистров осуществляется с шины записи D .

Блок сдвигателя предназначен для выполнения операций логического и циклического сдвигов на один разряд вправо и влево. В блоке сдвигателя формируются также три сигнала состояний ALU : «знак» (ЗН — старший разряд результата), сравнение с 0 (СПО) и «расширение» (ТР — «выпадающий» при сдвигах разряд).

Рабочий регистр А предназначен для записи и хранения 4-разрядных кодов результата, полученных при выполнении микрокоманды. При операциях обмена A выполняет функцию буферного регистра внешних каналов $K1$ — $K3$.

Регистр состояния (РС) предназначен для индикации состояний АЛУ. Регистр включает триггер сравнения с нулем Т«0», триггер переполнения ТПП, триггер знака ТЗН, триггер расширения ТР. Сигналы состояния заносятся в РС и выдаются в $K3$, если в микрокоманде есть признак выдачи состояний (ВС) — наличие лог. 1 в последнем разряде микрокоманды ($MK11$) причем при операциях сдвига в триггер расширения заносится сигнал ТР, при остальных операциях ТР'. Регистр состояния при выполнении отдельных операций с константой функционирует как регистр общего назначения.

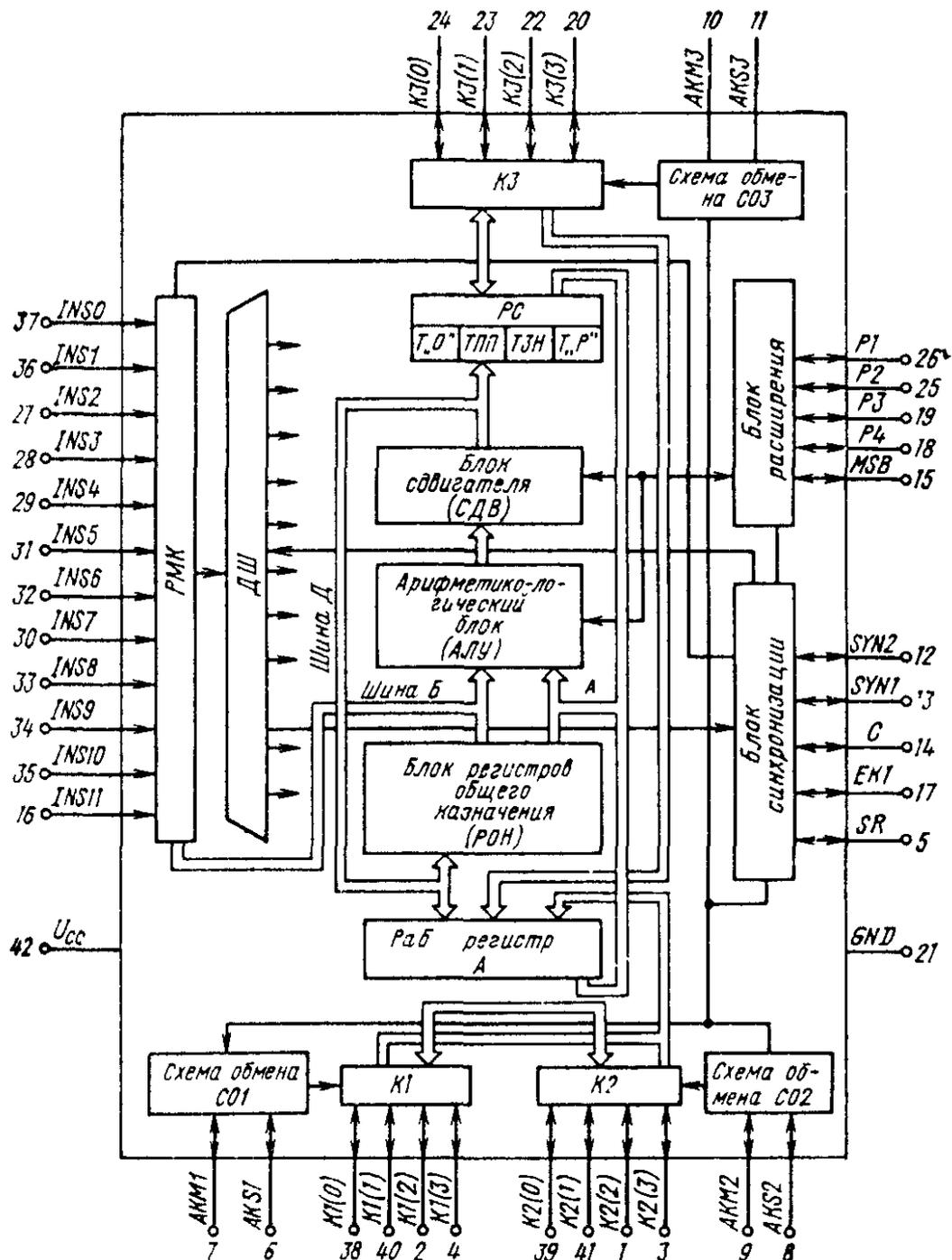
Регистр микрокоманды (РМК) предназначен для записи и хранения кода микрокоманды, поступающей в АЛУ.

Дешифратор микрокоманд (ДШ) служит для формирования управляющих сигналов. Входы дешифратора подключены к регистру микрокоманд. Дешифратор стробируется сигналами из блока синхронизации.

Каналы $K1$ — $K3$ предназначены для приема и выдачи информации. Каналы $K1$ и $K2$ принимают и выдают информацию из рабочего регистра А. Канал $K3$ принимает информацию в рабочий регистр А, а выдает из РС.

Схемы обмена $CO1$ — $CO3$ управляют приемом или выдачей информации в (из) ALU , вырабатывают сопровождающие выдаваемую информацию сигналы $AKMI$, отмечают прием информации сигналами $AKSI$. При работе нескольких источников информации на один канал наличие сигнала $AKSI$ свидетельствует о занятости канала и блокирует выдачу информации из ALU .

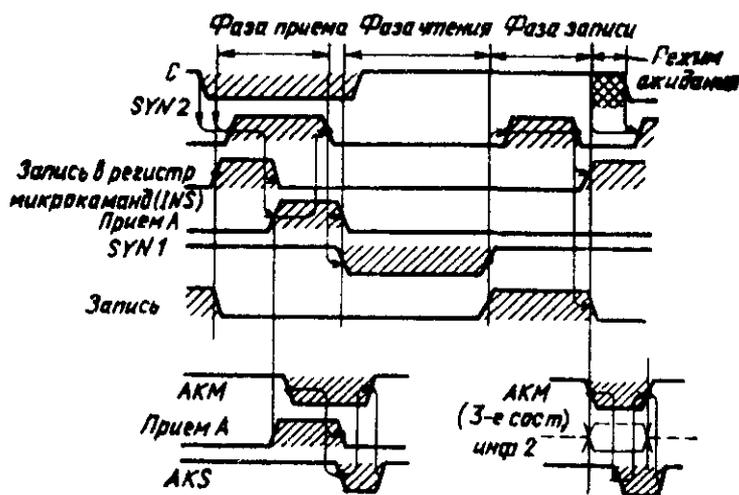
При незавершившемся обмене по $K1$ и $K2$ в предыдущей микрокоманде схемы обмена $CO1$ или $CO2$ блокируют выполнение следующей микрокоманды до окончания обмена. Если выдача информации в $K3$ не завершена, то схема обмена $CO3$ не блокирует выполнение следующей микрокоманды при отсутствии в ней признака ВС.



Блок расширения предназначен для дискретного (по четыре бита) наращивания разрядности АЛУ без включения дополнительного оборудования объединением выводов $P1-P3$, $P2-P4$ и соответствующей установкой потенциала на выводе MSB . В старшем полубайте MSB подключен к общей шине, в остальных — к шине питания. По связям $P1-P3$, $P2-P4$ передаются сигналы сдвигаемых разрядов и сигналы переносов

Блок синхронизации предназначен для организации цикла выполнения микрокоманды. Цикл выполнения начинается при поступлении сигнала C либо положительного фронта сигнала на выводе $SYN2$ и проходит последовательно три фазы, прием, чтение, запись.

Выводы $SYN2$ и $SYN1$ индицируют все три состояния исполнения микрокоманды. Подача на эти выводы управляющих сигналов извне позволяет задерживать цикл выполнения любой микрокоманды.



Микросхема *ALU* может находиться в режиме выполнения микрокоманды или в режиме ожидания прихода следующей. Цикл выполнения микрокоманды (см. рис.) начинается с приходом отрицательного фронта сигнала *C* (при этом на входах РМК извне должен быть установлен код микрокоманды) и проходит три фазы исполнения: прием, чтение и запись. Прием начинается с момента поступления сигнала *C*, который вызывает запуск БС и формирование уровня лог. 1 на выводе *SYN2*. Сигнал на выводе *SYN2* свидетельствует о начале приема микрокоманды в РМК. Отрицательный фронт сигнала *SYN2* (окончание интервала приема) появляется лишь в том случае, если окончена выдача в *K1* и *K2* в предыдущей микрокоманде, окончен прием новой микрокоманды, в микрокоманде есть признак приема информации — окончен прием информации из *K1*. Если хотя бы одно из условий не выполнено, то *ALU* переходит в режим ожидания и лишь при выполнении всех условий возникает отрицательный фронт сигнала *SYN2*, который вызывает сигнал *AKSI*, свидетельствующий об окончании приема информации по *K1*.

Сброс сигнала *AKMI* влечет за собой сброс сигнала *AKSI*. Информация, принятая по *K1*, записывается в рабочий регистр *A*.

С появлением отрицательного фронта *SYN2* начинается фаза чтения и возникает отрицательный фронт сигнала *SYN1*. Информация, считанная из двух источников, по шинам *A* и *B* поступает на входы АЛУ, где происходит выполнение операции и запись результата в регистр промежуточного хранения результата. Об окончании фазы чтения и о начале фазы записи свидетельствует положительный фронт сигнала *SYN1*, который вызывает формирование положительного фронта сигнала *SYN2*.

Во время записи выполняются операции сдвига в сдвигателе и запись результата в приемники информации: *РОН*, *A*, *РС* в зависимости от кода микрокоманды. Об окончании записи свидетельствует отрицательный фронт сигнала *SYN2*. С этого момента начинается выдача информации в *K1*. Окончание записи переводит *ALU* в исходное состояние для приема новой микрокоманды. Поэтому фазы выдачи информации и приема следующей микрокоманды могут совмещаться, однако окончание приема в следующей микрокоманде не наступит до момента освобождения канала. Выдача результата операции в *K1* происходит в том случае, если к моменту выдачи сигнал *AKSI* отсутствует (*AKSI* должен быть в состоянии лог. 1). Сигнал *AKMI* сопровождает выданную в *K1* информацию, а сброс информации осуществляется при поступлении извне сигнала *AKSI*, который формирует положительный фронт сигнала *AKMI*. Следует отметить, что прием и выдачу информации можно осуществлять в формате микрокоманд с обменом и в случае приема из *K3* — в формате с константой.

В зависимости от кода в разрядах 0 и 1 РМК 12-разрядная микрокоманда ALU разбивается на поля, образуя четыре формата микрокоманд.

Код формата	Код операции АЛУ	Поле источника информации 1, приемника информации	Поле источника информации 2, приемника информации, код операции	Поле выдачи состояния
0, 1	2, 3, 4	5, 6, 7	8, 9, 10	11
00	КОП АЛУ	<i>PI</i>	<i>PJ</i>	BC
10	КОП АЛУ	<i>PI</i>	КОП СДВ	BC
01	КОП АЛУ	Константа	КОП	BC
11	КОП АЛУ	<i>PI</i>	КОП ОБМ	BC

Во всех форматах микрокоманд разряды 2—4 РМК определяют код операции АЛУ, а разряд РМК(11)=BC указывает на необходимость записи состояний в РС и выдачи содержимого регистра состояний в канал КЗ. В соответствии с таблицей ниже приведено описание форматов микрокоманд.

1. РМК(0—1)=00 — формат операций регистр — регистр.

Разряды 5—7 РМК указывают номер регистра - источника операнда (*PI*), разряды 8-10 - номер регистра - источника второго операнда и приемника результата операции (*PJ*). Кроме этого результат заносится в рабочий регистр А.

2. РМК(0—1)=10 — формат операций регистр — рабочий регистр. Разряды 5—7 РМК указывают номер регистра — источника операнда, а разряды 8—10 определяют код операции сдвигателя. Источником второго операнда является рабочий регистр А.. Туда же заносится в результат операции.

3. РМК(0—1)=01 — формат операций с константой. В этом формате разряды 5—8 РМК являются одним из операндов (константа), а в разрядах 9—10 указываются источники и приемники информации (ИП) при операциях с константой (А, РС, КЗ).

4. РМК(0—1)=11 — формат микрокоманд с обменом. В этом формате код операции обмена находится в разрядах 8—10 РМК.

Подробное описание системы микрокоманд *ALU*.

Код операции	Описание операции
10 111 / 000 BC	$A \leftarrow$ Сдвиг лог. вправо PI
10 111 / 001 BC	$A \leftarrow$ Сдвиг лог. влево PI
10 111 / 100 BC	$A \leftarrow$ Сдвиг цикл. вправо PI
10 111 / 101 BC	$A \leftarrow$ Сдвиг цикл. влево PI
10 111 / 010 BC	$A \leftarrow$ Инверсия PI
10 111 / 110 BC	$A \leftarrow PI$
10 111 / 111 BC	$A, PI \leftarrow PI$
10 111 / 011 BC	$A \leftarrow PI$
11 000 X 000 BC	$A \leftarrow$ Сложение $K2+1$
11 000 X 001 BC	$A, K2 \leftarrow$ Сложение $A+1$
11 000 X 010 BC	$A \leftarrow$ Сложение $K1+1$
11 000 X 011 BC	$A, K1 \leftarrow$ Сложение $A+1$
11 000 X 100 BC	$A, K1 \leftarrow$ Сложение $K2+1$
11 000 / 101 BC	$A, K2, PI \leftarrow$ Сложение
11 000 X 110 BC	$K1+1$
11 000 / 111 BC	$A, K2 \leftarrow$ Сложение $K1+1$
	$A, K1, PI \leftarrow$ Сложение $PI+1$
11 001 / 000 BC	$A \leftarrow$ Вычитание $K2-PI$
11 001 / 001 BC	$A, K2 \leftarrow$ Вычитание $A-PI$
11 001 / 010 BC	$A \leftarrow$ Вычитание $K1-PI$
11 001 / 011 BC	$A, K1 \leftarrow$ Вычитание $A-PI$
11 001 / 100 BC	$A, K1 \leftarrow$ Вычитание $K2-PI$
	PI
11 001 / 101 BC	$A, PI, K2 \leftarrow$ Вычитание $A-PI$
11 001 / 110 BC	$A, K2 \leftarrow$ Вычитание $K1-PI$
	PI
11 001 / 111 BC	$A, PI, K1 \leftarrow$ Вычитание $A-PI$
	$A-PI$
11 010 X 000 BC	Загрузка A из $K2$
11 010 X 001 BC	Выдача A в $K2$
11 010 X 010 BC	Загрузка A из $K1$
11 010 X 011 BC	Выдача A в $K1$
11 010 X 100 BC	Загрузка A из $K2$, выдача в $K1$
11 010 / 101 BC	Пересылка A в PI , выдача в $K2$
11 010 X 110 BC	Загрузка A из $K1$, выдача в $K2$
11 010 / 111 BC	Пересылка A в PI , выдача в $K1$
11 011 / 100 BC	$A \leftarrow$ Умножение лог. $K2 \wedge PI$
11 011 / 100 BC	$A, K2 \leftarrow$ Умножение лог. $A \wedge PI$
11 011 / 010 BC	$A \leftarrow$ Умножение лог. $K1 \wedge PI$
11 011 / 011 BC	$A, K1 \leftarrow$ Умножение лог. $A \wedge PI$
11 011 / 100 BC	$A, K1 \leftarrow$ Умножение лог. $K2 \wedge PI$
11 011 / 101 BC	$A, PI, K2 \leftarrow$ Умножение лог. $A \wedge PI$
11 011 / 110 BC	$A, K2 \leftarrow$ Умножение лог. $K1 \wedge PI$
11 011 / 111 BC	$A, PI, K1 \leftarrow$ Умножение лог. $A \wedge PI$

При использовании *ALU* необходимо производить начальную установку. При включении питания на вывод *SR* подается положительный импульс длительностью не менее 200 нс; при этом микросхема устанавливается в начальное состояние, разрешающее прием и выполнение микрокоманды.

При построении параллельного арифметического устройства на нескольких микросхемах *ALU* выводы *SYN1*, *SYN2*, *AKM*, *AKS* объединяются, причем объединенные выводы *SYN2* через резистор присоединяют к общей шине, а объединение выводов *SYN1* через резистор — к шине питания.

Код операции	Описание операции	Код операции	Описание операции
11 100 / 000 BC	$A \leftarrow \text{Сложение } K2 + PI$	10 000 X 000 BC	$A \leftarrow \text{Сложение } A + 1,$ сдвиг лог. вправо
11 100 / 001 BC	$A, K2 \leftarrow \text{Сложение } A + PI$	10 000 X 001 BC	$A \leftarrow \text{Сложение } A + 1,$ сдвиг лог. влево
11 100 / 010 BC	$A \leftarrow \text{Сложение } K1 + PI$	10 000 X 100 BC	$A \leftarrow \text{Сложение } A + 1,$ сдвиг цикл. вправо
11 100 / 011 BC	$A, K1 \leftarrow \text{Сложение } A + PI$	10 000 X 101 BC	$A \leftarrow \text{Сложение } A + 1,$ сдвиг цикл. влево
11 100 / 100 BC	$A, K1 \leftarrow \text{Сложение } K2 + PI$	10 000 X 010 BC	$A \leftarrow \text{Сложение } A + 1,$ инверсия
11 100 / 101 BC	$A, PI, K2 \leftarrow \text{Сложение } A + PI$	10 000 X 110 BC	$A \leftarrow \text{Сложение } A + 1,$ перенос/займ
11 100 / 110 BC	$A, K2 \leftarrow \text{Сложение } K1 + PI$	10 000 / 111 BC	$A, PI \leftarrow \text{Сложение } A + \bar{1}$
11 100 / 111 BC	$A, PI, K1 \leftarrow \text{Сложение } A + PI$	10 000 X 011 BC	$A \leftarrow \text{Сложение } A + \bar{1}$
11 101 / 000 BC	$A \leftarrow \text{Сложение лог. } K2 \vee PI$	10 001 / 000 BC	$A \leftarrow \text{Вычитание } A - PI,$ сдвиг лог. вправо
11 101 / 001 BC	$A, K2 \leftarrow \text{Сложение лог. } A \vee PI$	10 001 / 001 BC	$A \leftarrow \text{Вычитание } A - PI,$ сдвиг лог. влево
11 101 / 010 BC	$A \leftarrow \text{Сложение лог. } K1 \vee PI$	10 001 / 100 BC	$A \leftarrow \text{Вычитание } A - PI,$ сдвиг цикл. вправо
11 101 / 011 BC	$A, K1 \leftarrow \text{Сложение лог. } A \vee PI$	10 001 / 101 BC	$A \leftarrow \text{Вычитание } A - PI,$ сдвиг цикл. влево
11 101 / 100 BC	$A, K1 \leftarrow \text{Сложение лог. } K2 \vee PI$	10 001 / 010 BC	$A \leftarrow \text{Вычитание } A - PI,$ инверсия
11 101 / 101 BC	$A, PI \vee \text{Сложение лог. } A \vee PI$	10 001 / 110 BC	$A \leftarrow \text{Вычитание } A - PI,$ с займом
11 101 / 110 BC	$A, K2 \leftarrow \text{Сложение лог. } K1 \vee PI$	10 001 / 111 BC	$A, PI \leftarrow \text{Вычитание } A - PI$
11 101 / 111 BC	$A, PI, K1 \leftarrow \text{Сложение лог. } A \vee PI$	10 001 / 011 BC	$A \leftarrow \text{Вычитание } A - PI$
11 110 / 000 BC	$A \leftarrow \text{Неэквивалентность } K2 \oplus PI$	10 010 X 000 BC	$A \leftarrow \text{Сдвиг лог. вправо } A$
11 110 / 001 BC	$A, K2 \leftarrow \text{Неэквивалентность } A \oplus PI$	10 010 X 001 BC	$A \leftarrow \text{Сдвиг лог. влево } A$
11 110 / 010 BC	$A \leftarrow \text{Неэквивалентность } K1 \oplus PI$	10 010 X 100 BC	$A \leftarrow \text{Сдвиг цикл. вправо } A$
11 110 / 011 BC	$A, K1 \leftarrow \text{Неэквивалентность } A \oplus PI$	10 010 X 101 BC	$A \leftarrow \text{Сдвиг цикл. влево } A$
11 110 / 100 BC	$A, K1 \leftarrow \text{Неэквивалентность } K2 \oplus PI$	10 010 X 010 BC	$A \leftarrow \text{Иверсия } A$
11 110 / 101 BC	$A, PI, K2 \leftarrow \text{Неэквивалентность } A \oplus PI$	10 010 X 110 BC	$A \leftarrow A$
11 110 / 110 BC	$A, K2 \leftarrow \text{Неэквивалентность } K1 \oplus PI$	10 010 / 111 BC	$A, PI \leftarrow A$
11 110 / 111 BC	$A, PI, K1 \leftarrow \text{Неэквивалентность } A \oplus PI$	10 010 X 011 BC	$A \leftarrow A$
00 000 X j BC	$P_j, A \leftarrow \text{Сложение } 1 + P_j$	11 111 / 000 BC	Фиктивная загрузка, пересылка PI в A
00 000 / j BC	$P_j, A \leftarrow \text{Вычитание } P_j - PI$	11 111 / 001 BC	Выдача PI в $K2$
00 010 X j BC	$A \leftarrow P_j$	11 111 / 010 BC	Фиктивная загрузка, пересылка PI в A
00 011 / j BC	$P_j, A \leftarrow \text{Умножение лог. } PI \wedge P_j$	11 111 / 011 BC	Выдача PI в $K1$
00 100 / j BC	$P_j, A \leftarrow \text{Сложение } PI + P_j$	11 111 / 100 BC	Фиктивная загрузка, выдача PI в $K1$
00 101 / j BC	$P_j, A \leftarrow \text{Сложение лог. } PI \vee P_j$	11 111 / 101 BC	Выдача PI в $K2$
00 110 / j BC	$P_j, A \leftarrow \text{Неэквивалентность } PI \oplus P_j$	11 111 / 110 BC	Фиктивная загрузка, выдача PI в $K2$
00 111 / j BC	$P_j, A \leftarrow PI$	11 111 / 111 BC	Выдача PI в $K1$
		01 000 Konst. 11 BC	$A \leftarrow \text{Сложение } K3 + 1$
		01 001 Konst. 11 BC	$A \leftarrow \text{Вычитание } K3 - \text{const.}$
		01 010 Konst. 11 BC	Загрузка A из $K3$
		01 011 Konst. 11 BC	$A \leftarrow \text{Умножение лог. } K3 \wedge \text{const.}$
		01 100 Konst. 11 BC	$A \leftarrow \text{Сложение } K3 + \text{const.}$
		01 110 Konst. 11 BC	$A \leftarrow \text{Сложение лог. } K3 \vee \text{const.}$

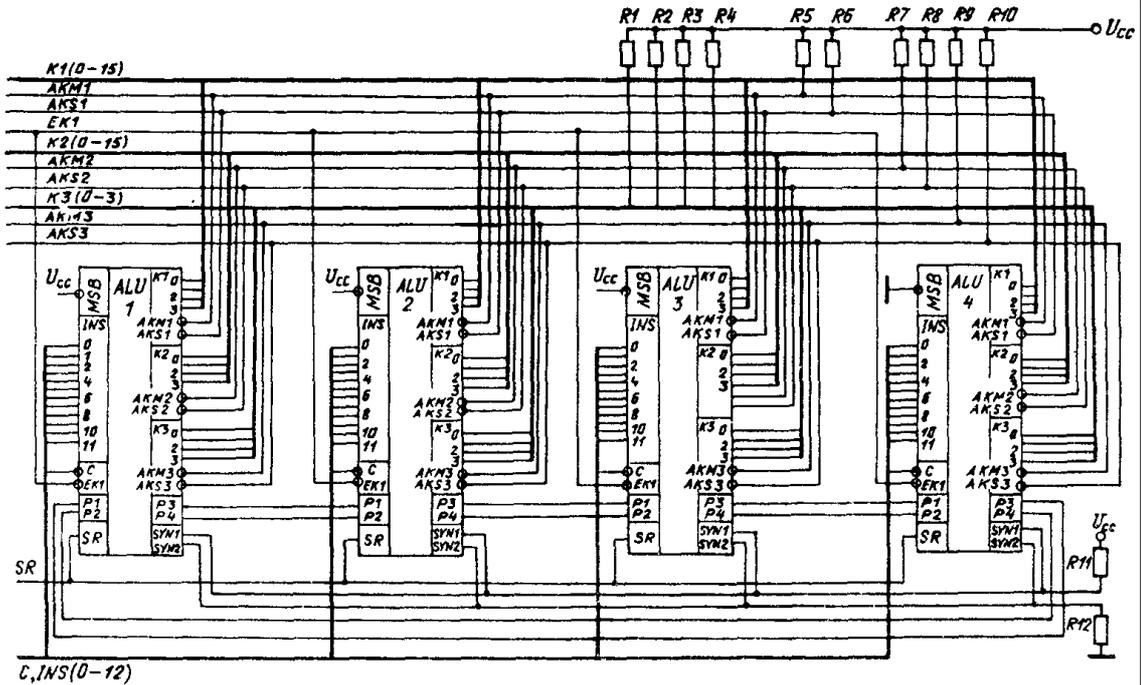
Код операции	Описание операции	Код операции	Описание операции
01 110 Конст. 11 ВС	$A \leftarrow$ Неэквивалентность $K3 \oplus$ конст.	10 100 / 010 ВС	$A \leftarrow$ Сложение $PI+A$, инверсия
01 111 Конст. 11 ВС	Фиктивная загрузка, пересылка конст. в A	10 100 / 110 ВС	$A \leftarrow$ Сложение $PI+A$, с переносом
01 000 Конст. 00 ВС	$A, PC \leftarrow$ Сложение $PC+1$	10 100 / 111 ВС	$A, PI \leftarrow$ Сложение $PI+A$
01 001 Конст. 00 ВС	$A, PC \leftarrow$ Вычитание $PC -$ конст.	10 100 / 011 ВС	$A \leftarrow$ Сложение $PI+A$
01 010 Конст. 00 ВС	Пересылка PC в A	10 101 / 000 ВС	$A \leftarrow$ Сложение лог. $PI \vee A$, сдвиг лог. вправо
01 011 Конст. 00 ВС	$A, PC \leftarrow$ Умножение лог. $PC \wedge$ конст.	10 101 / 001 ВС	$A \leftarrow$ Сложение лог. $PI \vee A$, сдвиг лог. влево
01 100 Конст. 00 ВС	$A, PC \leftarrow$ Сложение $PC +$ конст.	10 101 / 100 ВС	$A \leftarrow$ Сложение лог. $PI \vee A$, сдвиг цикл. вправо
01 101 Конст. 00 ВС	$A, PC \leftarrow$ Сложение лог. $PC \vee$ конст.	10 101 / 101 ВС	$A \leftarrow$ Сложение лог. $PI \vee A$, сдвиг цикл. влево
01 110 Конст. 00 ВС	$A, PC \leftarrow$ Неэквивалентность $PC \oplus$ конст.	10 101 / 010 ВС	$A \leftarrow$ Сложение лог. $PI \vee A$, инверсия
01 111 Конст. 00 ВС	Пересылка конст. в PC	10 101 / 110 ВС	$A \leftarrow$ Сложение лог. $PI \vee A$
01 000 Конст. 10 ВС	$A, PC \leftarrow$ Сложение $A+1$	10 101 / 111 ВС	$A, PI \leftarrow$ Сложение лог. $PI \vee A$
01 001 Конст. 10 ВС	$A, PC \leftarrow$ Вычитание $A -$ конст.	10 101 / 011 ВС	$A \leftarrow$ Сложение лог. $PI \vee A$
01 010 Конст. 10 ВС	Пересылка A в PC	10 110 / 000 ВС	$A \leftarrow$ Неэквивалентность $PI \oplus A$, сдвиг лог. вправо
01 011 Конст. 10 ВС	$A, PC \leftarrow$ Умножение лог. $A \wedge$ конст.	10 110 / 001 ВС	$A \leftarrow$ Неэквивалентность $PI \oplus A$, сдвиг лог. влево
01 100 Конст. 10 ВС	$A, PC \leftarrow$ Сложение $A +$ конст.	10 110 / 100 ВС	$A \leftarrow$ Неэквивалентность $PI \oplus A$, сдвиг лог. вправо
01 101 Конст. 10 ВС	$A, PC \leftarrow$ Сложение лог. $A \vee$ конст.	10 110 / 101 ВС	$A \leftarrow$ Неэквивалентность $PI \oplus A$, сдвиг цикл. влево
01 110 Конст. 10 ВС	$A, PC \leftarrow$ Неэквивалентность $A \oplus$ конст.	10 110 / 010 ВС	$A \leftarrow$ Неэквивалентность $PI \oplus A$, инверсия
01 111 Конст. 10 ВС	Пересылка конст. в A и PC	10 110 / 110 ВС	$A \leftarrow$ Неэквивалентность $PI \oplus A$
10 011 / 000 ВС	$A \leftarrow$ Умножение лог. $PI \wedge A$, сдвиг лог. вправо	10 110 / 111 ВС	$A, PI \leftarrow$ Неэквивалентность $PI \oplus A$
10 011 / 001 ВС	$A \leftarrow$ Умножение лог. $PI \wedge A$, сдвиг лог. влево	10 110 / 011 ВС	$A \leftarrow$ Неэквивалентность $PI \oplus A$
10 011 / 100 ВС	$A \leftarrow$ Умножение лог. $PI \wedge A$, сдвиг цикл. вправо	01 000 Конст. 01 ВС	$A \leftarrow$ Сложение $A+1$
10 011 / 101 ВС	$A \leftarrow$ Умножение лог. $PI \wedge A$, сдвиг цикл. влево	01 001 Конст. 01 ВС	$A \leftarrow$ Вычитание $A -$ конст.
10 011 / 010 ВС	$A \leftarrow$ Умножение лог. $PI \wedge A$, инверсия	01 010 Конст. 01 ВС	Пересылка A в A
10 011 / 110 ВС	$A \leftarrow$ Умножение лог. $PI \wedge A$	01 011 Конст. 01 ВС	$A \leftarrow$ Умножение лог. $A \wedge$ конст.
10 011 / 111 ВС	$A, PI \leftarrow$ Умножение лог. $PI \wedge A$	01 100 Конст. 01 ВС	$A \leftarrow$ Сложение $A +$ конст.
10 011 / 011 ВС	$A \leftarrow$ Умножение лог. $PI \wedge A$	01 101 Конст. 01 ВС	$A \leftarrow$ Сложение лог. $A +$ конст.
10 100 / 000 ВС	$A \leftarrow$ Сложение $PI+A$, сдвиг лог. вправо	01 110 Конст. 01 ВС	$A \leftarrow$ Неэквивалентность $A +$ конст.
10 100 / 001 ВС	$A \leftarrow$ Сложение $PI+A$, сдвиг лог. влево	01 111 Конст. 01 ВС	Пересылка конст. в A
10 100 / 100 ВС	$A \leftarrow$ Сложение $PI+A$, сдвиг цикл. вправо		
10 100 / 101 ВС	$A \leftarrow$ Сложение $PI+A$, сдвиг цикл. влево		

Примечания. 1. Описание структуры ALU:
 P (0-7, 0-3) — регистры общего назначения;
 A (0-3) — регистр результата;
 PC (0-3) — регистр состояния;
 PMK (0-11) — регистр микрокоманд;
 $I-PMK$ (5-7) — номер регистра источника приемника операнда;
 $j-PMK$ (8-10) — номер регистра источника приемника операнда;
 $BC-PMK$ (11) — бит управления выдачей состояния;
 PC (0) — триггер сравнения с нулем;

PC (1) — триггер переполнения;
 PC (2) — триггер знака;
 PC (3) — триггер расширения;
 $K1$ (0-3) — канал $K1$;
 $K2$ (0-3) — канал /2;
 $K3$ (0-3) — канал $K3$ выдачи состояний;
 PI — вывод переноса в младшие разряды;
 $P3$ — вывод переноса из старших разрядов;
 MSB — вывод-указатель старшего разряда.

2. В таблице микрокоманд разряды регистра микрокоманд приведены в последовательности: $PMK(0), PMK(1), \dots, PMK(11)$

Выводы *AKM*, *AKS* и информационные выводы канала *K3* через резисторы присоединяются к шине питания. Рассмотрим работу варианта 16-разрядного арифметического устройства.



Если на входы *МК(0—11)* всех *ALU* извне поступила микрокоманда, а сигнал *С* подан лишь на вход одной микросхемы, например *ALU-3*, то схемы *ALU-1*, *ALU-2* и *ALU-4* функционируют следующим образом. Запись кода микрокоманды в *РМК(0—11)* *ALU-1*, *ALU-2* и *ALU-4* происходит при появлении положительного фронта сигнала *SYN2*, сформированного блоком синхронизации *ALU-3*. Независимо от того, присутствуют или нет в поступившей микрокоманде признаки приема информации по одному из каналов, информация в *ALU-1*, *ALU-2*, *ALU-4* не принимается. Дальнейшее выполнение микрокоманды во всех четырех схемах идентично, однако в *ALU-1*, *ALU-2*, *ALU-4* не происходит записи результата операции ни в один из приемников информации и, следовательно, при выдаче информации в каналы выдается старое содержимое регистров.

Приемом и выдачей информации по каналу *K1* можно управлять с помощью сигналов, подаваемых на выход *EKL*. Разрешающим сигналом является лог. 0.

В *ALU* используются четыре различные схемы выходных буферных каскадов:

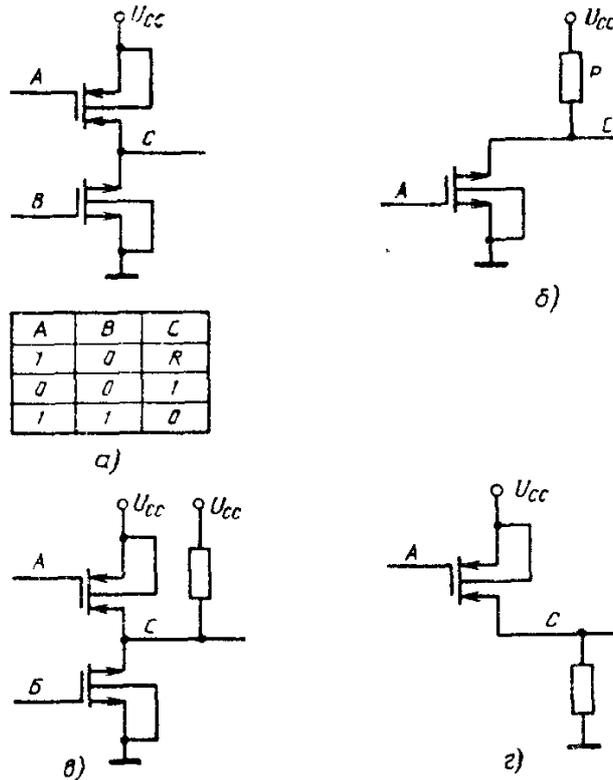


схема с тремя устойчивыми состояниями (а). При выдаче лог. 1 открыт р-канальный транзистор, при выдаче лог. 0 — п-канальный. Если информация не выдается, то оба транзистора закрыты и схема находится в состоянии «выключено». Такие выходы имеют каналы *K1* и *K2*;

схема выхода, формирующего напряжение низкого уровня, — п-канальный транзистор, сток которого подключен к выводу микросхемы (б). Если на затвор транзистора поступает лог. 1, то транзистор открыт и на выходе лог. 0. Если на затворе лог. 0, то транзистор закрыт, а на выходе лог. 1, сформированная с помощью резисторов. Такой выход имеет вывод *SYN1*;

схема выхода, формирующего напряжение низкого уровня с восстановлением лог. 1, по сравнению с предыдущей схемой имеет дополнительный р-канальный транзистор (в). По окончании выдачи информации на затвор р-канального транзистора подается лог. 0 и тем самым формируется поло-жительный фронт на выходе. После этого р-канальный транзистор закрывается. Такие выводы имеют *AKM*, *AKS* и *K3(0—3)*;

схема выхода, формирующего напряжение высокого уровня (з). Такая схема применяется на выводе *SYN2*.

Основные электрические параметры микросхемы

Параметр	Обозначение	Значения параметров			Режим измерения
		$T=+25\text{ }^{\circ}\text{C}$	$T=-45\text{ }^{\circ}\text{C}$	$T=+70\text{ }^{\circ}\text{C}$	
Выходное напряжение низкого уровня по цепи <i>SYN1</i> , В, не более	$U_{OL, SYN1}$	0,5	0,8	0,6	$U_{CC}=8,1\text{ В}$, $I_O=2\text{ мА}$
Выходное напряжение низкого уровня по цепям <i>AKM1—AKM3</i> , <i>AKS1—AKS3</i> , В, не более	$U_{OL, AKS, AKM}$	0,5	0,6	0,6	$U_{CC}=8,1\text{ В}$, $I_O=0,5\text{ мА}$
Выходное напряжение низкого уровня по цепям информационных каналов <i>K1—K3</i> , В, не более	$U_{OL, K}$	0,5	0,6	0,6	$U_{CC}=8,1\text{ В}$, $I_O=0,5\text{ мА}$
Выходное напряжение высокого уровня по цепи <i>SYN2</i> , В, не менее	$U_{OH, SYN2}$	7,4	7,3	7,3	$U_{CC}=8,1\text{ В}$, $I_O=2\text{ мА}$
Выходное напряжение высокого уровня по цепям информационных каналов <i>K1</i> , <i>K2</i> , В, не менее	$U_{OH, K}$	7,6	7,5	7,5	$U_{CC}=8,1\text{ В}$, $I_O=0,5\text{ мА}$
Время задержки по цепи <i>SYN1</i> , мкс, не более	$t_d, SYN1$	2,5	—	3,5	$U_{CC}=8,1\text{ В}$
Время задержки по цепям <i>AKS1—AKS3</i> , мкс, не более	t_d, AKS	1,5	—	2,5	$U_{CC}=8,1\text{ В}$
Время задержки по цепям <i>AKM1—AKM3</i> , мкс, не более	t_d, AKM	4,0	—	5,0	$U_{CC}=8,1\text{ В}$

Потребляемая мощность ($f=0,4\text{ МГц}$)	< 0,05 Вт
Ток утечки на входе	< 0,5 мкА
Ток потребления статический	< 500 (700*) мкА
Емкость нагрузки	< 200 пФ
Температура окружающей среды	
587ИК2	-60...+85 °С
K587ИК2, KP587ИК2	-45...+70 °С
Сохраняемость	
587ИК2	25 лет
KP587ИК2	15 лет
Минимальная наработка	
587ИК2	100 000 ч
KP587ИК2	50 000 ч

* по некоторым источникам