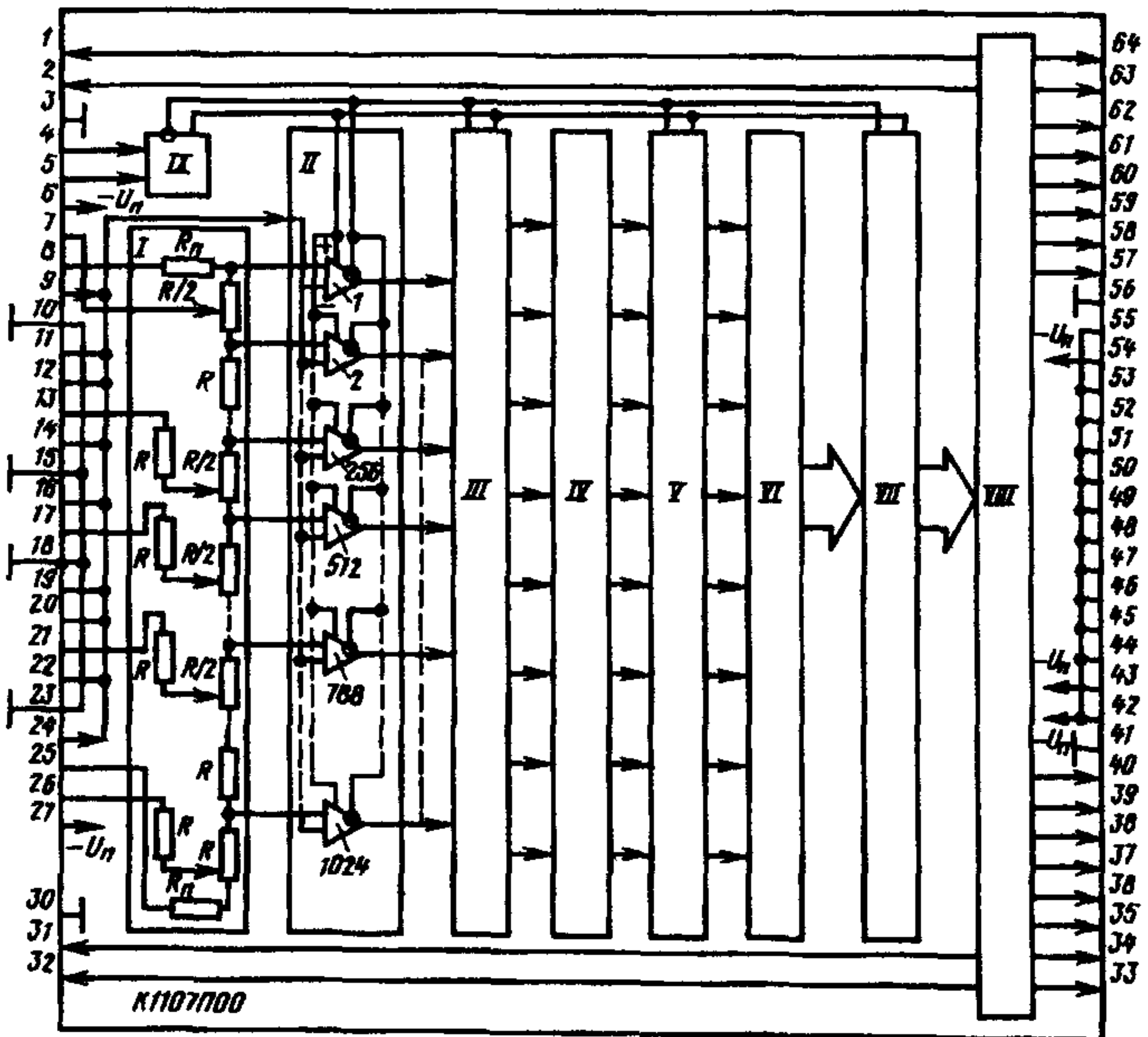
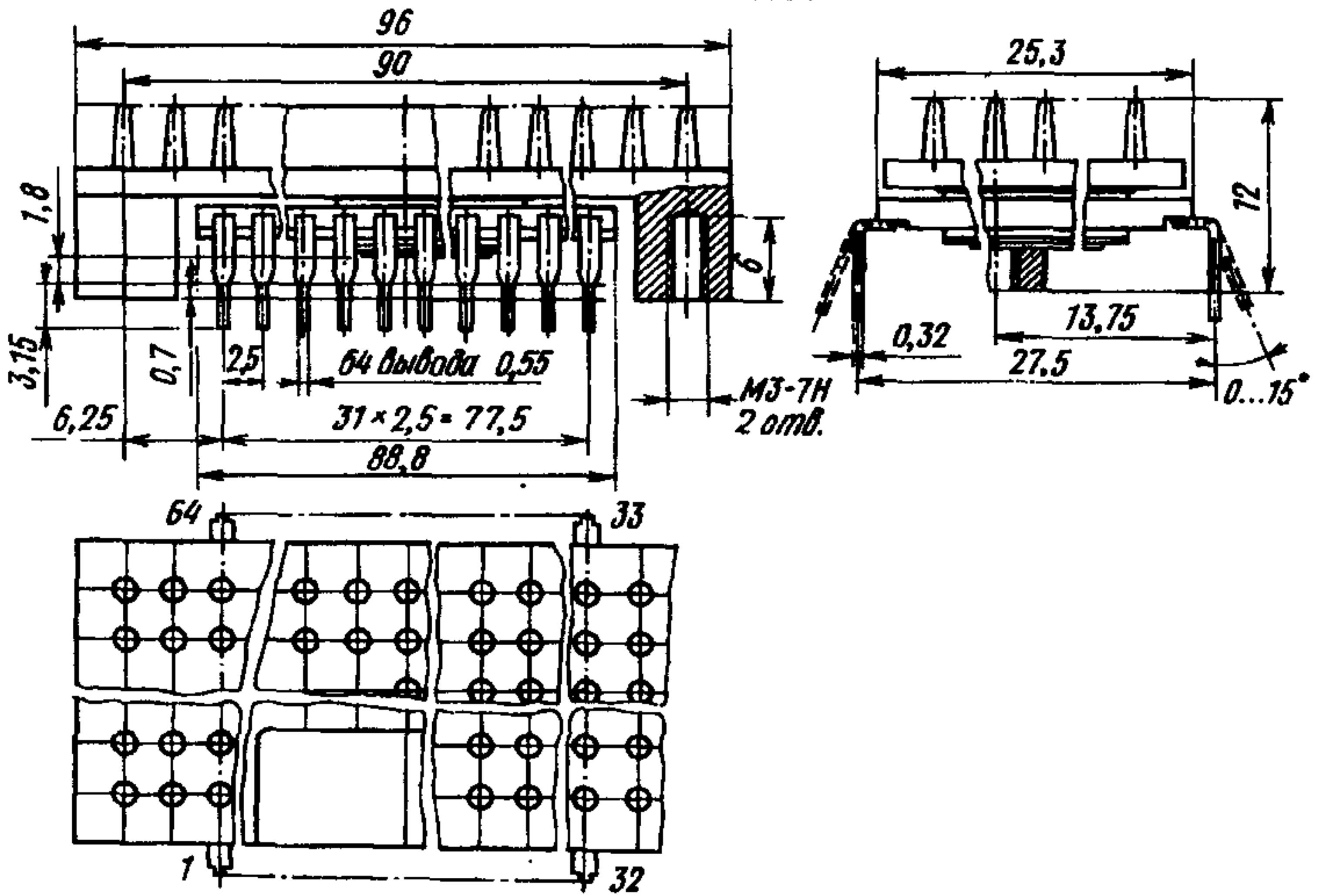


КМ1107ПВ6

Сверхбольшая интегральная схема (СБИС) представляет собой десятиразрядный быстродействующий аналого-цифровой преобразователь (АЦП) считывания, предназначенный для преобразования аналогового входного сигнала в диапазоне $-3...0$ В в один из четырех типов параллельного выходного цифрового кода: парафазный двоичный прямой или обратный, прямой или обратный с дополнением до двух. Обеспечивает непосредственное сопряжение с цифровыми ЭСЛ-интегральными схемами. Предназначена для использования в системах телеметрии, цифрового телевидения, радиолокации, связи, навигации, устройствах ввода-вывода микроЭВМ и др. Выполнена по биполярной технологии методом "трех диффузий", при которой эпитаксиальные слои отсутствуют, а формирование коллектора, базы и эмиттера транзисторов производится последовательным внедрением в объем кристалла трех различных диффузионных примесей методами ионного легирования. Содержит 56 603 интегральных элементов. Резисторы матрицы пассивных делителей опорного напряжения выполнены из сплава Al-Si в едином технологическом процессе с нанесением рабочей металлизации кристалла СБИС. Конструктивно оформлена в металлокерамическом корпусе типа 2147.64-2 с игольчатым радиатором из алюминиевого (силуминового) сплава. Масса не более 40 г.

КМ1107ПВ6

2147.64-2



Функциональный состав: I — резисторная матрица делителей опорного напряжения; II — блок стробируемых компараторов напряжения

9				
11	Λ	Λ/#	#	1
12			D10	2
14			D10	63
16	U _{BX}		D9	64
19			D9	61
20			D8	62
22			D8	59
24			D7	60
13			D7	57
17	U _{оп,кпр.}		D6	58
21			D6	32
4	T		D5	31
5	T		D5	34
8	+U _{оп}		D4	33
25	-U _{оп}		D4	36
6	#		D3	35
27			D3	38
43	-U _п		D2	37
54			D2	40
42	Λ		D1	39
44			D1	7
45			R _{ос1} *	26
46			R _{ос2}	
47				
48	-U _п			
49				
50				
51				
52				
53				
55				
3				
30	#DV			
56				
41				
10	ΛDV			
15				
18				
23				

(КН); III — шифратор первой 1024 x 128 ступени на основе стробируемых логических элементов И; IV — шифратор второй ступени 128 x 8 на основе логических элементов ИЛИ; V — промежуточный регистр хранения; VI — шифратор третьей ступени десятиразрядного кода на основе логических элементов ИЛИ; VII — выходной буферный регистр с преобразователями уровня; VIII — схема синхронизации; IX — генератор тактовых импульсов.

Назначение выводов: 1 — цифровой выход 10 (младший); 2 — цифровой инверсный выход 10; 3, 30, 41, 56 — общие (цифровая земля); 4 — вход тактовых импульсов прямой; 5 — вход тактовых импульсов инверсный; 7 — вход обратной связи источника опорного напряжения (U_{оп1,ос}); 8 — вход опорного напряжения (U_{оп1}); 9, 11, 12, 14, 16, 19, 20, 22, 24 — аналоговые входы; 10, 15, 18, 23 — общие (аналоговая земля); 13 — первый вход корректировки нелинейности (U_{к1}); 17 — второй вход корректировки нелинейности (U_{к2}); 21 — третий вход корректировки нелинейности (U_{к3}); 25 — вход опорного напряжения (U_{оп2}); 26 — вход обратной связи источника опорного напряжения (U_{оп2,ос}); 31 — цифровой инверсный выход 5; 32 — цифровой выход 5; 33 — цифровой инверсный выход 4; 34 — цифровой выход 4; 35 — цифровой инверсный выход 3; 36 — цифровой выход 3; 37 — цифровой инверсный выход 2; 38 — цифровой выход 2; 39 — цифровой инверсный выход 1; 40 — цифровой выход 1 (старший); 27, 43, 54, 6 — напряжение источника

питания (-U_{п1}) выходных цифровых каскадов; 42, 44 — 53, 55 — напряжение источника питания (-U_{п1}) компараторов напряжения и трех ступеней шифратора с промежуточным регистром хранения; 57 — цифровой выход 6; 58 — цифровой инверсный выход 6; 59 — цифровой выход 7; 60 — цифровой инверсный выход 7; 61 — цифровой выход 8; 62 — цифровой инверсный выход 8; 63 — цифровой выход 9; 64 — цифровой инверсный выход 9; 28, 29 — не используются.

Особенности работы интегральной схемы

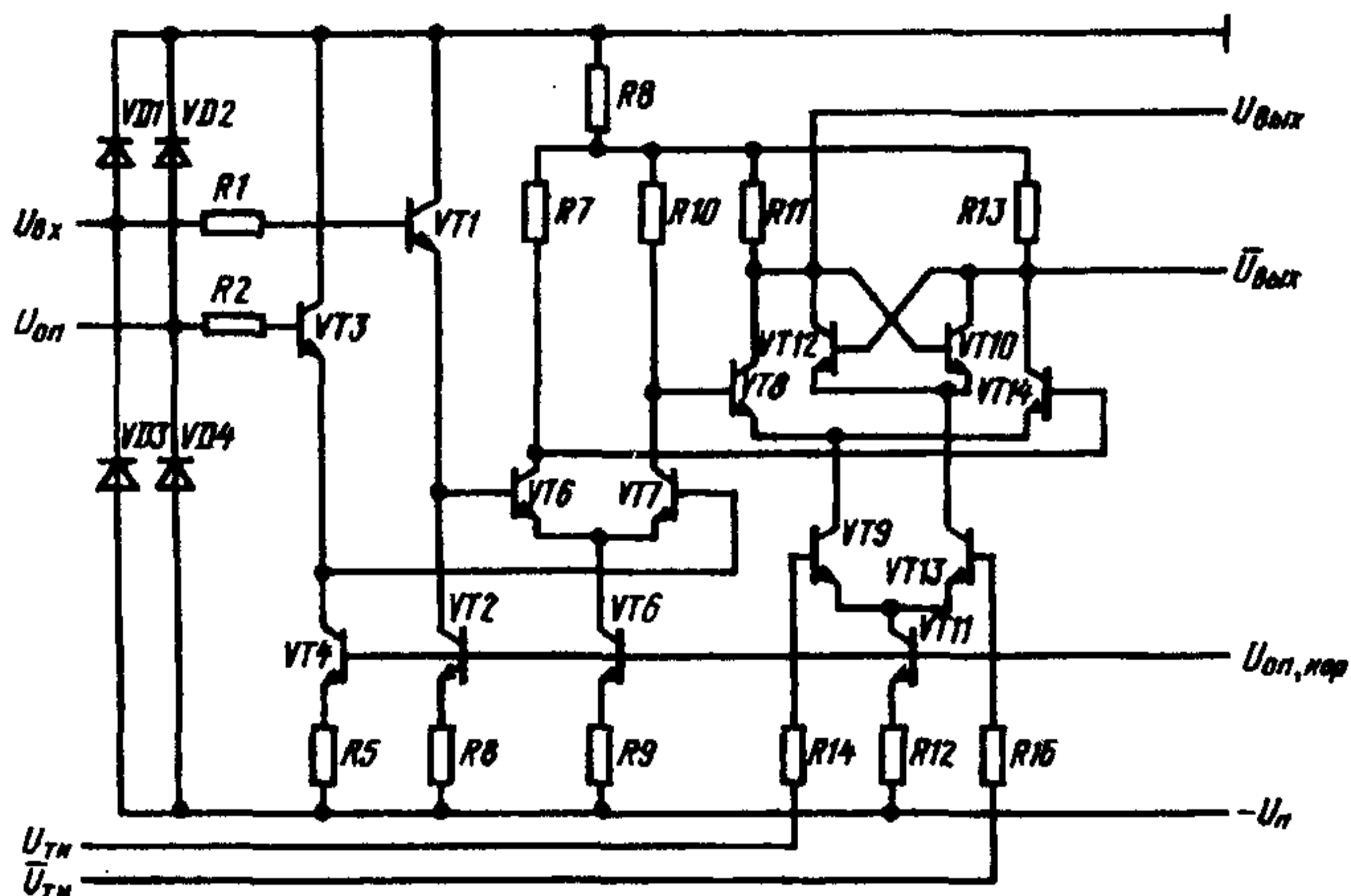
Интегральная схема имеет парафазные цифровые выходы и парафазный тактовый вход.

Резисторный делитель эталонных напряжений I содержит 1023 резистора R = 0,16 Ом и два паразитных резистора R_п. Паразитные резисторы образуются за счет сопротивления контактов сварки, а также физического сопротивления траверса корпуса и монтажной проволоки, с помощью которой он соединяется с кристаллом СБИС. Сопротивление резистора R_п в отдельных случаях может превышать сопротивление R делителя. Наличие резисторов R_п может привести к значительному увеличению входного напряжения смещения нуля, напряжения смещения конечной точки характеристики преобразования АЦП, а также их температурным

дрейфам. С целью исключения влияния резисторов R_{Π} в делителе предусмотрены выводы 7 и 26 — обратных связей от источников опорных напряжений, способствующих компенсации возникающих погрешностей. Общее сопротивление делителя составляет 200...300 Ом.

Блок стробируемых КН является важнейшим узлом АЦП считывания. В блоке II 1024 КН. Каждый из них построен на основе дифференциального усилителя постоянного тока и запитывается от униполярного источника напряжения -6 В. К прямым входам КН подключаются соответствующие точки цепочки делителей опорного напряжения, а их инверсные входы соединены с общим аналоговым входом АЦП. Первый компаратор в блоке II непосредственно не используется в процессе кодирования входного аналогового сигнала. Между первым и вторым КН сделан вывод обратной связи от средней точки резистора делителя.

На входах КН используются эмиттерные повторители. В соответствии с принципиальной электрической схемой они выполнены на основе транзисторов $VT1$ и $VT3$ с нагрузкой на источники токов $VT2$ и $VT4$. Наличие эмиттерных повторителей позволяет снизить входной ток КН и обеспечить его независимость от значений входного аналогового напряжения. Диоды $VD1$ и $VD3$ повышают устойчивость аналоговых входов к воздействию статического электричества. Аналогичную функцию выполняют диоды $VD2$ и $VD4$ по входам порогового (опорного) напряжения КН.

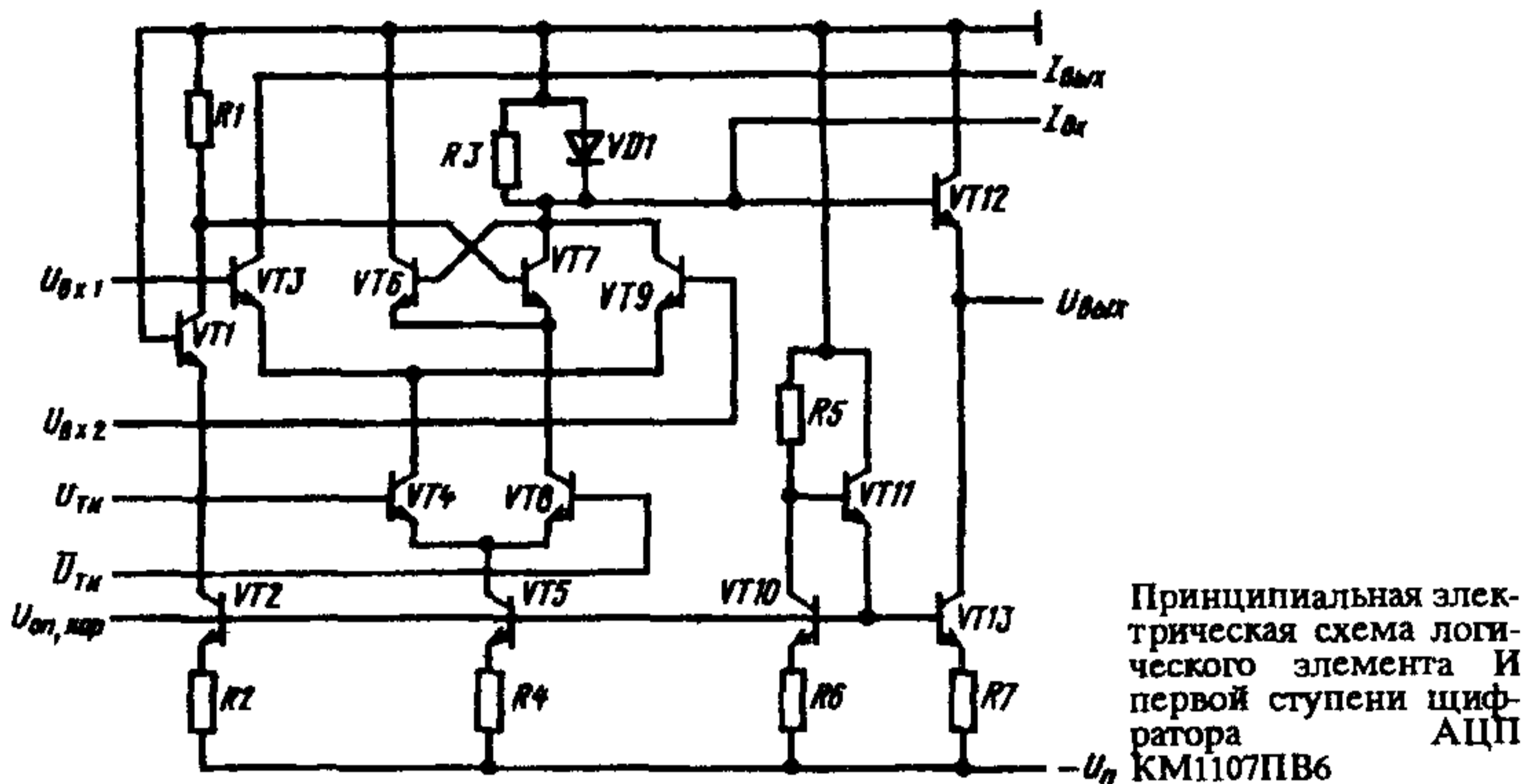


Принципиальная электрическая схема компаратора напряжения АЦП КМ1107ПВ6

На транзисторах $VT5$ и $VT7$ выполнен дифференциальный каскад предварительного усиления. Его пассивной нагрузкой являются резисторы $R7$ и $R10$. Коэффициент усиления по напряжению каскада равен 3,5. Основной усилитель выполнен на транзисторах $VT8$ и $VT14$. В нем режим усиления (сравнения) обеспечивается при высоком уровне напряжения на базе транзистора $VT9$, а при его низком уровне КН переводится в режим стробирования (выборки). Это соответствует работе КН в режиме сравнения, когда на прямом тактовом входе СБИС (вывод 4) подано напряжение лог.0, а с переводом входа в состояние лог. 1 КН стробируется. Коэффициент усиления по напряжению второго каскада в режиме сравнения равен 5. Таким образом, общий коэффициент усиления КН в

указанном режиме составляет 17...18. Поскольку функцию стробирования в КН выполняет триггер-защелка на транзисторах VT10 и VT12, а управление режимом работы КН осуществляется переключением токов в эмиттерных цепях каскадов усиления с помощью аналогового переключателя на основе дифференциальной пары транзисторов VT9 и VT13 (см. рисунок), то наличие предварительного усилителя в КН уменьшает влияние коммутационных шумов на его входе, повышает чувствительность. Управление аналоговым переключателем осуществляется парафазными сигналами. Компараторы напряжения выполнены в объеме кристалла в виде 16 линеек по 64 КН в каждой.

Первая ступень шифратора 3 содержит 1024 стробируемых двухвходовых элемента И и выполняет функцию преобразования унитарного кода с выходов КН в позиционный код. Стробирование элементов И осуществляется в противофазе с линейкой КН. Принципиальная электрическая схема одного из элементов И показана ниже.

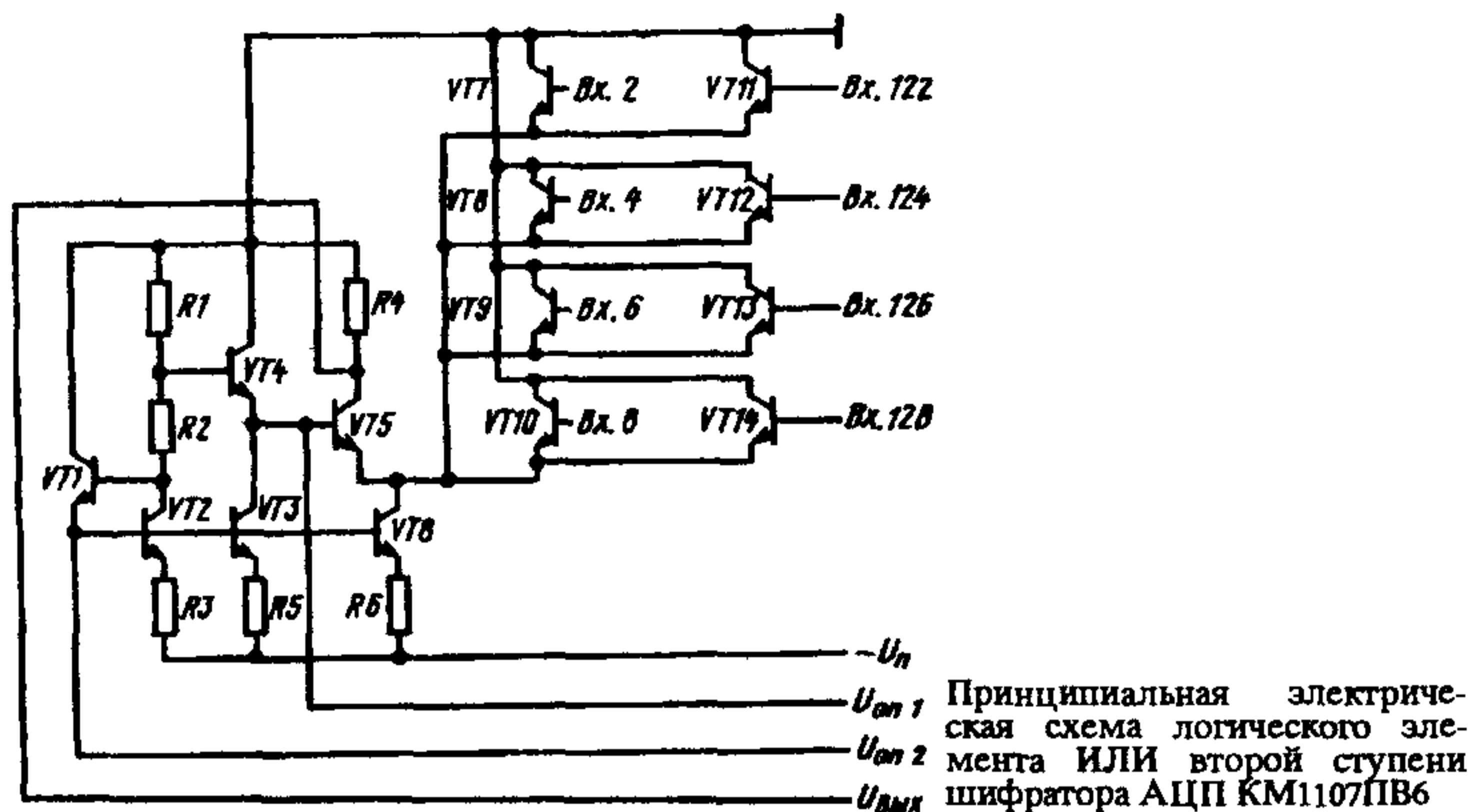


Ее основа — дифференциальный переключатель, выполнен на транзисторах VT3 и VT9. На базы этих транзисторов выводится парафазный сигнал с выходов КН. Напряжение на резисторе R определяется как результат шифрации. При поступлении на базу транзистора VT4 напряжения лог. 1 элемент И работает в режиме приема информации, а при наличии напряжения лог. 0 переходит в состояние запоминания результата шифрации. В противофазе с VT4 работает транзистор VT8, что обеспечивает парафазное управление режимами работы элемента. На транзисторах VT6 и VT7 выполнен триггер-защелка, причем база VT7 подключена к источнику напряжения на транзисторах VT1, VT2 и резисторах R1, R2.

Транзистор VT1 осуществляет температурную компенсацию коэффициента передачи транзисторов триггера-защелки. На транзисторах VT10 и VT11 выполнена схема питания источников тока элемента И. Диод VD1 предназначен для исключения эффекта насыщения транзистора VT7 триггера-защелки. Выходной эмиттерный повторитель на транзисторах VT12 и VT13 обеспечивает развязку по выходу от влияния входных токов схемы шифратора второй ступени.

Шифратор второй ступени состоит из восьми элементов и используется для шифрации позиционного кода в двоичный. При этом цифровой код с 128 схем И шифратора первой ступени преобразуется в восьмиразрядный двоичный код (семь информационных разрядов и один разряд

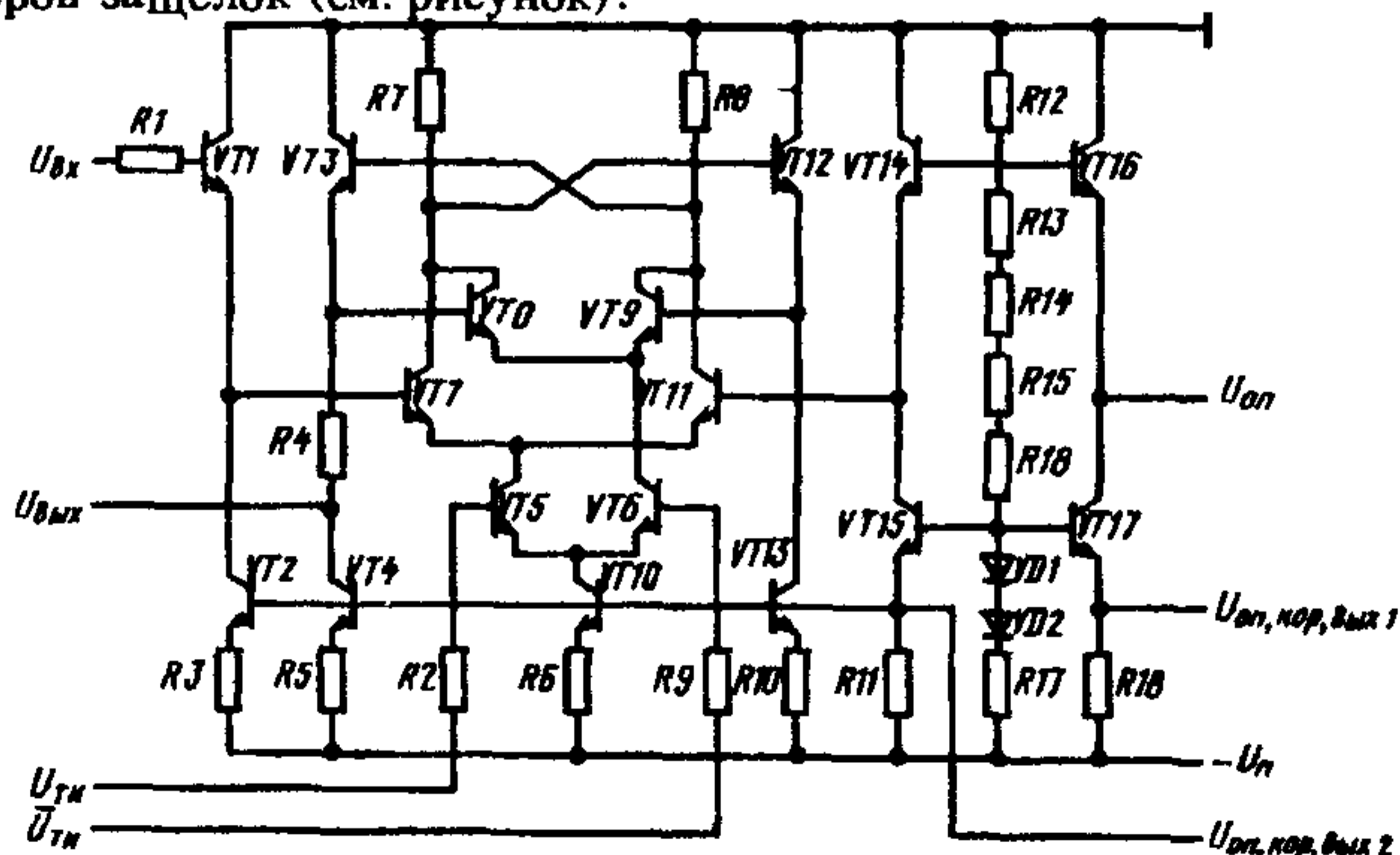
переполнения). Все элементы шифрации выполнены на основе логических схем ИЛИ с уровнями ЭСЛ. Принципиальная электрическая схема элемента ИЛИ, используемого в СБИС, показана ниже.



На ее основе выполнен дифференциальный переключатель тока, в одном плече которого размещен транзистор VT5, а в другом — транзисторы VT7 — VT14 (упрощенный вариант, поскольку общее число транзисторов в этом плече 64). Базы транзисторов VT7 — VT14 образуют входы схемы ИЛИ. Таким образом, каждый элемент информации имеет 64 входа. Выходом элемента ИЛИ является коллектор транзистора первого плеча VT5. Соединение входов элемента ИЛИ с выходами четных номеров элементов И шифратора первой ступени обеспечивает формирование значений младшего разряда семиразрядного кода. Для получения значений старшего разряда кода входы шифраторов подключаются к выходам элементов И с 64-го по 128-й.

Напряжение питания источника тока на транзисторе VT8 обеспечивается транзисторами VT1 — VT4 и резисторами R1 — R5.

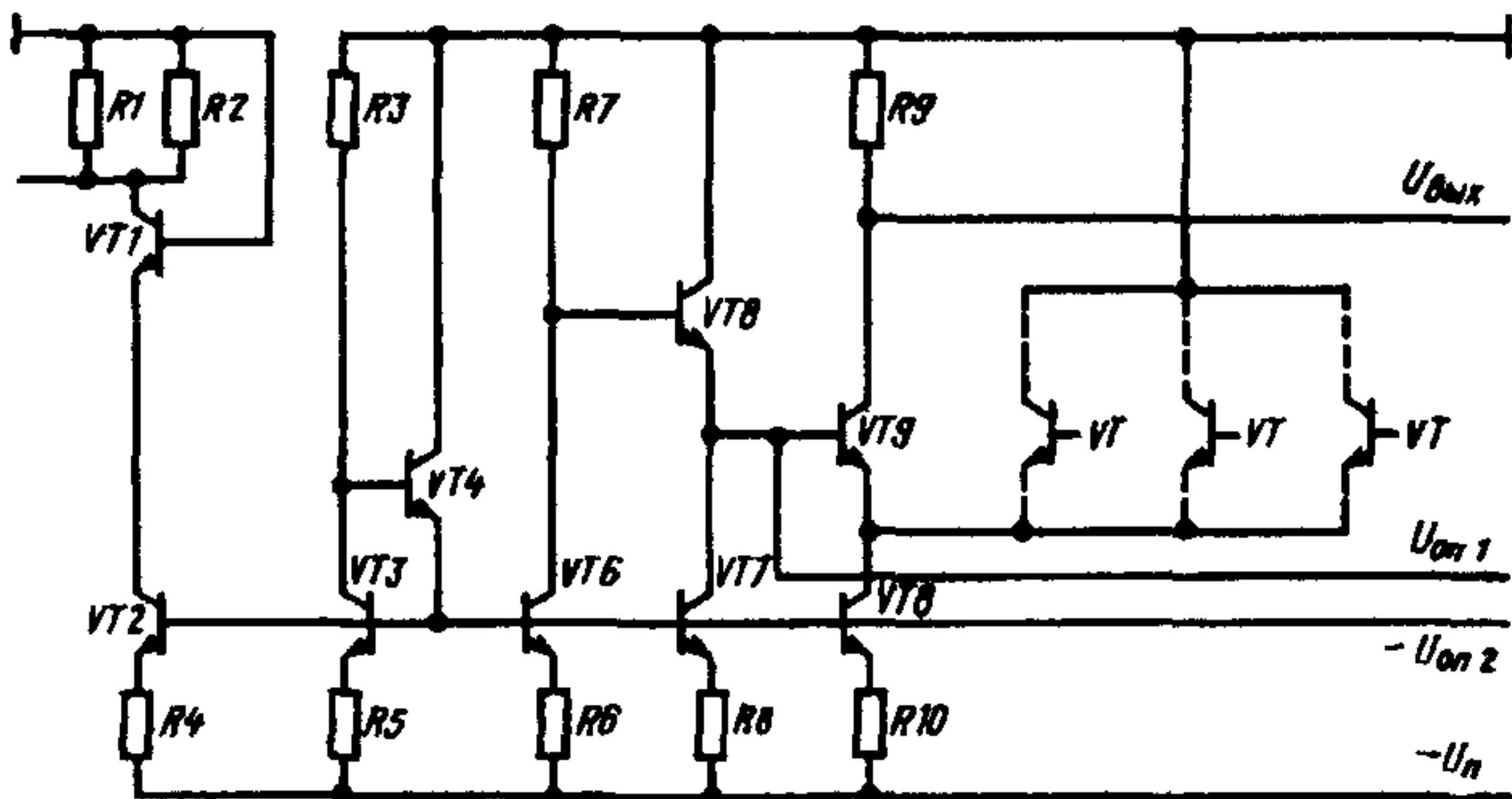
Сформированный восьмиразрядный код с выходов элементов ИЛИ поступает на вход промежуточного регистра хранения на основе набора триггеров-защелок (см. рисунок).



Принципиальная электрическая схема одного разряда промежуточного регистра хранения АЦП КМ1107ПВ6

Регистр стробируется синхронно с КН. Принципиальная электрическая схема регистра показана ниже. На его информационном входе для уменьшения влияния на выходы предыдущего каскада используется эмиттерный повторитель (на транзисторах VT1, VT2 и резисторе R3) с источником тока в нагрузке. Режим работы регистра устанавливается по парафазным тактовым входам. При наличии лог. 1 на входе ТИ1 и лог. 0 на входе ТИ2 регистр функционирует в режиме приема и сквозной передачи информации на выход. После смены логических состояний на входах на обратные регистр переводится в режим хранения текущего значения кода. В режиме приема информации в активном режиме работают транзисторы VT7 и VT11, а в режиме хранения — VT8 и VT9. Связь между транзисторами в последней из указанных пар осуществляется через эмиттерный повторитель на транзисторах VT3 и VT12, нагруженный на источник тока на транзисторах VT4 и VT13. Это позволяет обеспечить максимально возможный перепад напряжения на резисторах R7 и R8, не вызывая насыщения транзисторов защелки (VT8 и VT9). Электрический режим работы восьмиразрядного регистра задается источником напряжения на транзисторах VT14 — VT17. Всего в состав СБИС АЦП входит восемь восьмиразрядных регистров промежуточного хранения.

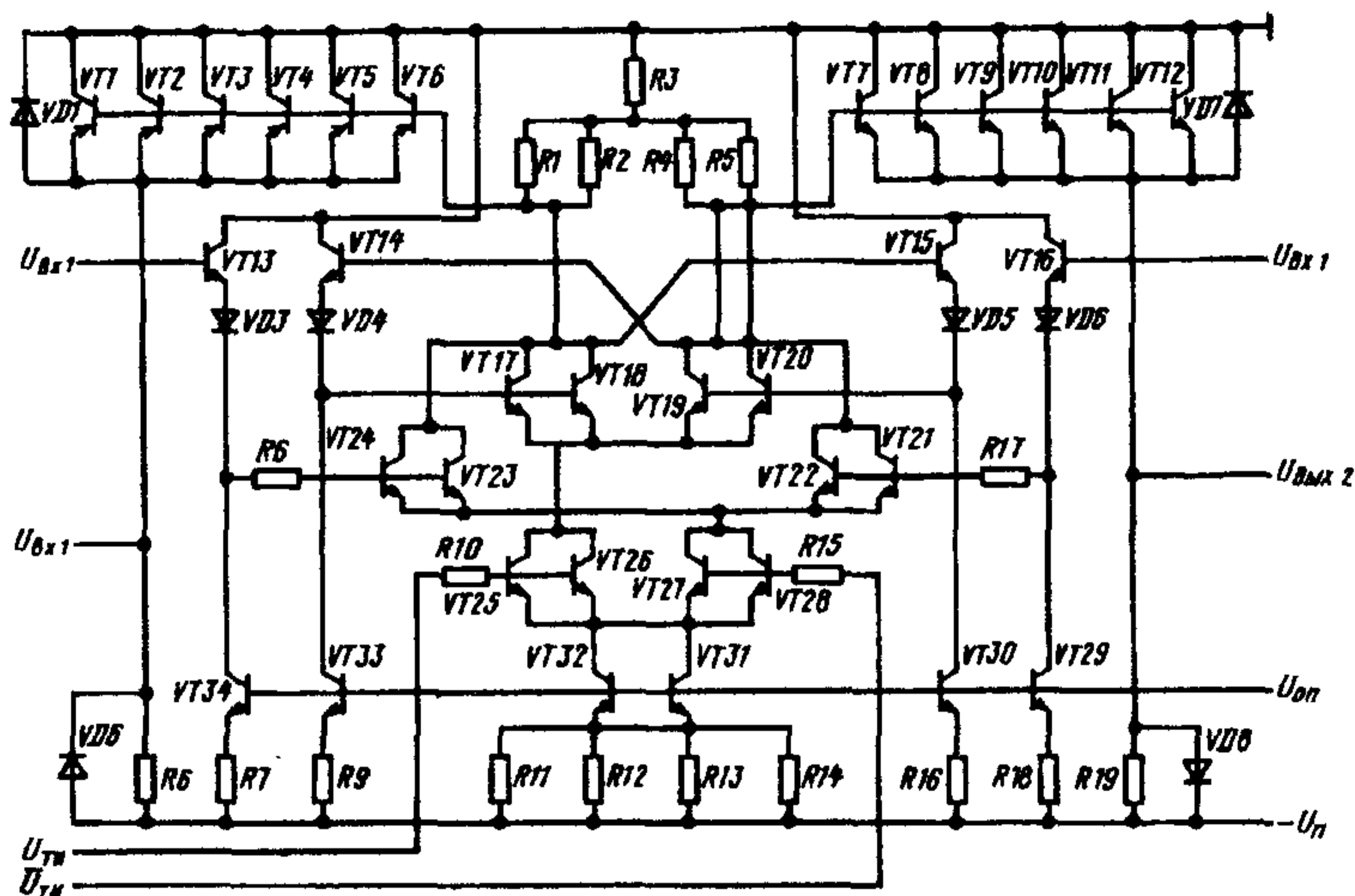
Шифратор третьей ступени предназначен для формирования полного десятиразрядного выходного кода из восьмиразрядного двоичного кода с параллельных выходов регистра. В основе построения элементов шифратора — схемы ИЛИ. Принципиальная электрическая схема одной из них показана ниже.



Принципиальная электрическая схема логического элемента третьей ступени шифратора АЦП КМ1107ПВ6

Построение схемы ИЛИ аналогично приведенной для шифратора второй ступени. На транзисторах VT3 — VT7 выполнена схема питания для источников тока элементов ИЛИ и создания опорного напряжения на базе транзистора VT9. Основу схемы ИЛИ составляет дифференциальный переключатель тока, левое плечо которого выполнено на транзисторе VT9, а правое — на каскаде транзисторов VTn. Базы каскадных транзисторов подключены к выходам разрядов промежуточных регистров. Младшие разряды кода АЦП в шифраторе образуются за счет параллельного соединения семи информационных разрядов каждого из восьми регистров предварительного хранения. Три старших разряда формируются специальным образом из слияния разрядов переполнения.

Сформированный десятиразрядный двоичный код поступает на входы выходного регистра, совмещенного с преобразователями “внутренних” логических уровней СБИС в стандартные “внешние” уровни ЭСЛ. Принципиальная электрическая схема выходного регистра СБИС АЦП показана ниже.



Принципиальная электрическая схема выходного цифрового блока АЦП КМ1107ПВ6

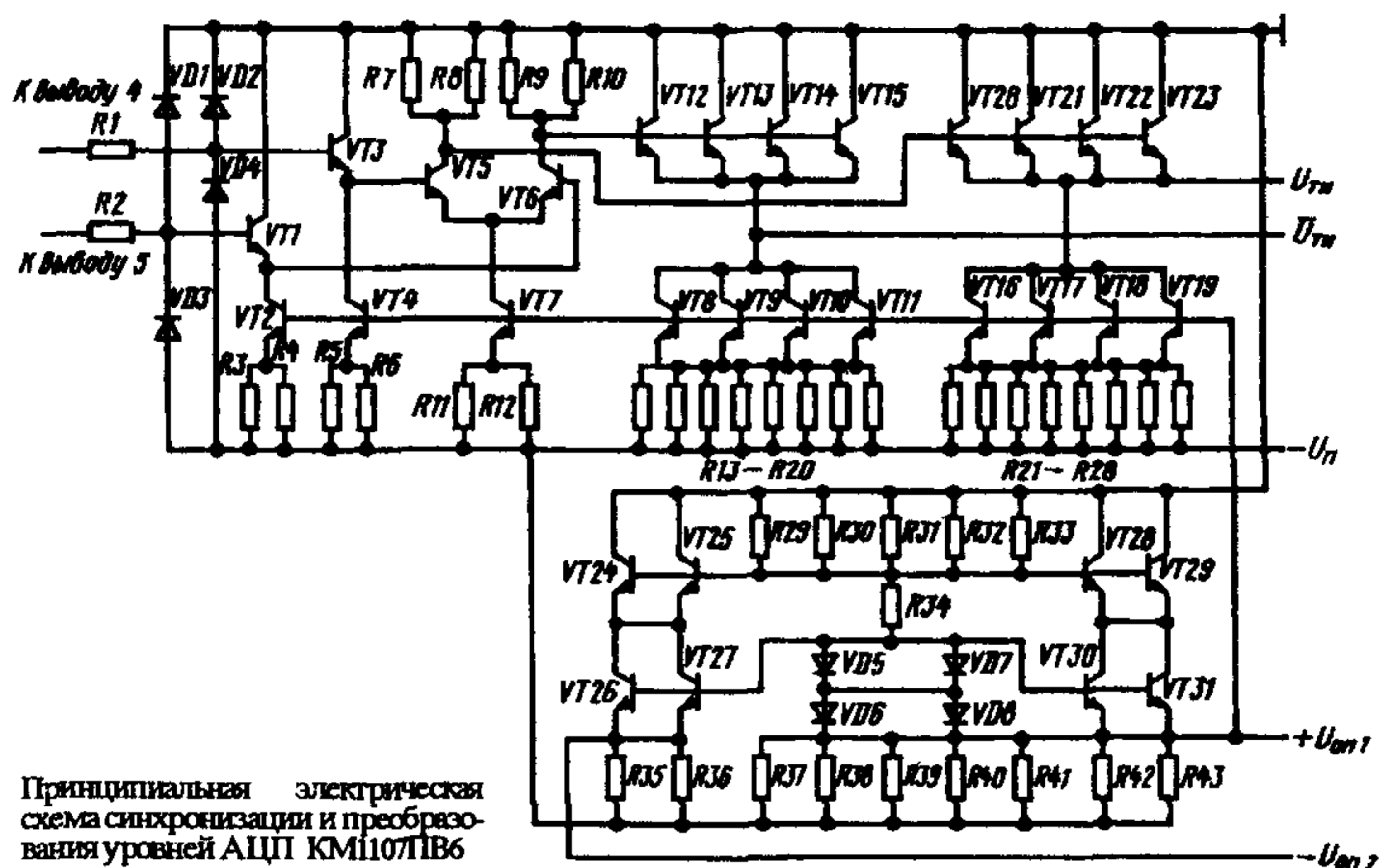
Управление регистром осуществляется парафазными сигналами по входам ТИ1 и ТИ2. Выходной регистр функционирует в режиме приема информации при подаче на вход ТИ2 лог. 1 и в режиме хранения информации при появлении на нем лог. 0. На входах схемы размещены эмиттерные повторители на транзисторах VT13 и VT16. На один из входов подаются выходные сигналы с шифратора третьей ступени, а на другой — напряжение питания источников тока. Эмиттерные повторители на транзисторах VT1 — VT12 совместно с резистором R3 обеспечивают логические уровни ЭСЛ. Диоды обеспечивают устойчивость схемы к воздействию статического электричества. Наличие резисторов R8 и R19 позволяет СБИС работать без внешних резисторов нагрузки в области низких тактовых частот.

Схема формирования сигналов синхронизации включает входные эмиттерные повторители, дифференциальный усилитель, выходной каскад сдвига уровня. Она имеет парафазные входы и выходы и служит для формирования из стандартных сигналов уровня ЭСЛ сигналов управления внутренними блоками АЦП. В целом системой синхронизации АЦП объединены 19 формирователей тактового сигнала, в частности: один преобразователь уровней тактового сигнала, семнадцать схем синхронизации компараторов напряжения, шифраторов первой ступени и промежуточных регистров хранения, а также две схемы синхронизации выходных буферных регистров.

К выходу преобразователя уровней подключаются входы всех остальных схем синхронизации. Каждая из семнадцати названных схем обслуживает по 64 КН и элемента И шифратора первой ступени, а также 4

разряда соответствующей секции промежуточного регистра хранения. Каждая из двух схем синхронизации обслуживает по пять разрядов выходного буферного регистра.

Принципиальная электрическая схема преобразователя уровней импульсов синхронизации приведена ниже.



Входной каскад включает эмиттерные повторители на транзисторах VT1 и VT2. Далее следует усилительный каскад на транзисторах VT5 и VT6. На выходе вновь используются эмиттерные повторители на транзисторах VT8 — VT23. Стабилизация электрических режимов каскадов обеспечивается источниками токов. Ниже показана принципиальная электрическая схема одной из двух идентичных по построению схем синхронизации. В ней имеется собственный источник пороговых напряжений на транзисторах VT12 и VT13, выходные эмиттерные повторители на транзисторах VT4 — VT11. Диоды VD1 — VD8 используются для сдвига уровня тактового сигнала КН, схем И и секций промежуточного регистра хранения.

Все транзисторы, используемые в рассмотренных выше принципиальных схемах, имеют одинаковую топологию и рабочий ток порядка 100 мкА. Там, где ток приобретает большие значения, транзисторы включаются параллельно.

В СБИС АЦП для компенсации нелинейности, обусловленной наличием входных токов КН и дополнительным падением напряжения на резисторах делителя, в последнем предусмотрены специальные отводы (выводы 13, 17 и 21), служащие для подачи компенсирующих напряжений опорного источника в следующих диапазонах:

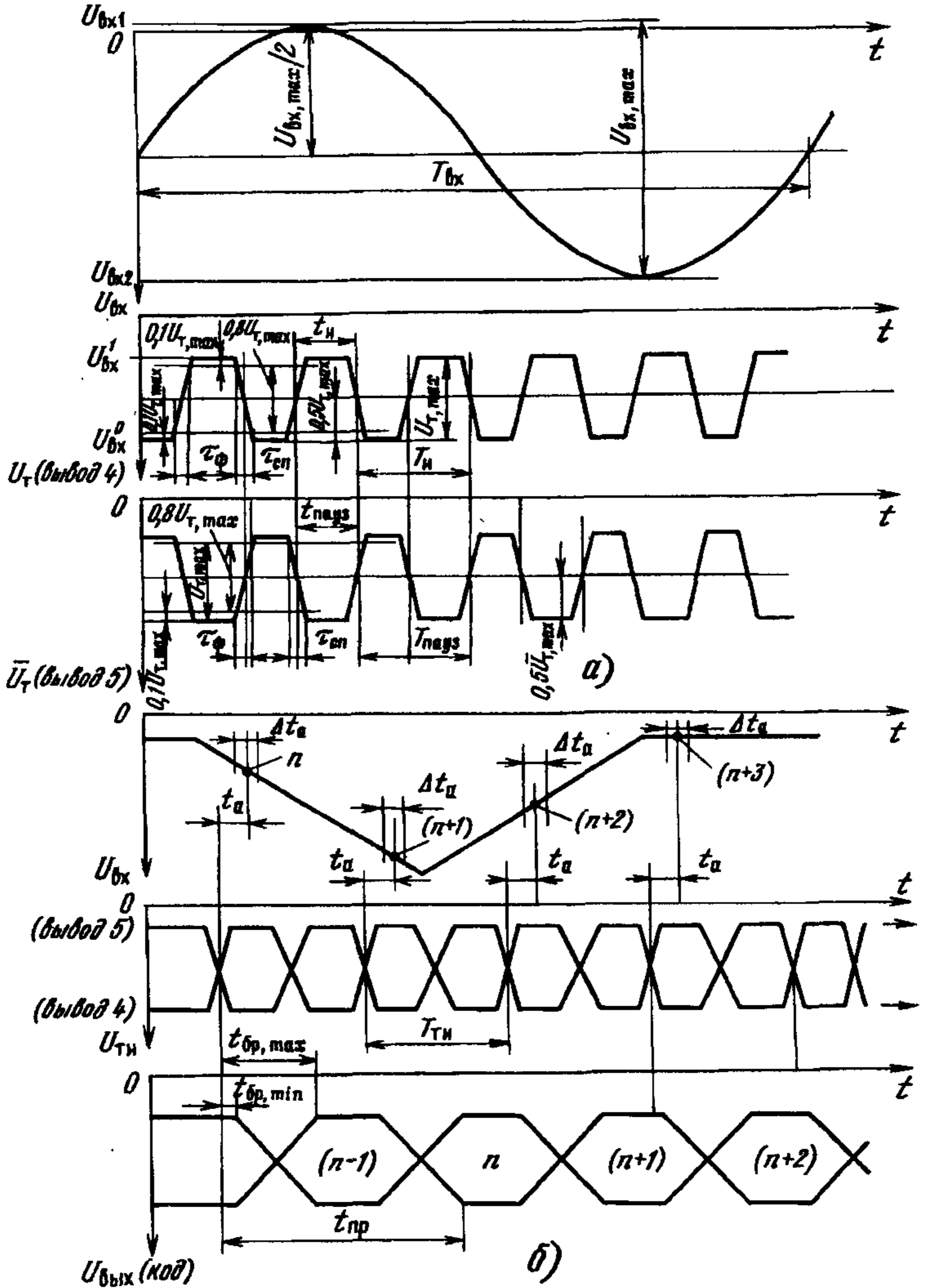
$$U_{17} = 511 (U_{оп2ос} - U_{оп1ос}) / 1023,$$

$$U_{21} = 767 (U_{оп2ос} - U_{оп1ос}) / 1023,$$

$$U_{13} = 255 (U_{оп2ос} - U_{оп1ос}) / 1023.$$

Под аналоговый вход АЦП задействованы девять выводов, что обусловлено внутренней конструкцией СБИС, при которой по выводу 9 осуществляется ввод напряжения на входы КН с 1 по 64, по выводу 11 — на входы КН с 65 по 192, по выводу 12 — на входы КН с 193 по 230, по вы-

воду 14 — на входы КН с 231 по 448, по выводу 16 — на входы КН с 449 по 576, по выводу 19 — на входы КН с 577 по 704, по выводу 20 — на входы КН с 705 по 832, по выводу 22 — на входы КН с 833 по 960, по выводу 24 — на входы КН с 961 по 1024.



Временные диаграммы работы АЦП КМ1107ПВ6:

а — подачи входного сигнала и тактовых импульсов; б — процесса преобразования
 Параметры тактовых импульсов: напряжение низкого уровня $U_{ти} = -(1,6...1,9)$ В, напряжение высокого уровня $U_{ти} = -(0,75...0,9)$ В, длительность импульса (паузы) $\tau = 20$ нс, длительность фронта (спада) $\tau_f = \tau_s$, нс, частота повторения (преобразования) $f_{п} = 1/T = 15$ МГц

Рассмотрим временную диаграмму работы СБИС АЦП КМ1107ПВ6. С поступлением фронта тактового импульса на тактовый вход (вывод 4) производится стробирование КН с задержкой на апертурное время, которое определяется как время прохождения фронтом тактового импульса по входным цепям КН от момента поступления до момента появления на входе триггера-защелки. По этому же фронту в режим приема информации переводятся тактируемые схемы И первой ступени шифратора. За время длительности тактового импульса унитарный код с выходов КН преобразуется в первой ступени шифратора и появляется на выходах схем И.

По спаду тактового импульса на тактовом входе (вывод 4) КН переводятся из режима выборки и хранения в режим сравнения, схемы И шифратора первой ступени — в режим хранения информации кода выборки n , а промежуточные регистры хранения устанавливаются в режим ее приема. До момента появления фронта очередного тактового импульса код выборки n с выходов шифратора первой ступени поступает на входы шифратора второй ступени, преобразуется в нем и устанавливается в виде семиразрядного кода на выходе промежуточного регистра хранения.

С приходом фронта очередного тактового импульса КН фиксируют значение выборки $n+1$ и шифратор первой ступени вновь переводится в режим приема информации. Промежуточный регистр переводится в режим хранения кода выборки n , в то время как выходной буферный регистр устанавливается в режим приема этой выборки.

За время действия второго тактового импульса ($n+1$) код выборки n проходит шифрацию в третьей ступени шифратора и поступает на входы триггеров-защелок выходного буферного регистра. Со спадом второго тактового импульса выходной буферный регистр фиксирует на своем входе код выборки n . С задержкой на прохождение схем преобразователей уровня этот код появится на выходе АЦП. Следует отметить, что времена задержки прохождения сигналов в разрядах шифратора третьей ступени не равны между собой. От выборки к выборке это приводит к разбросу времени прохождения кода через выходной буферный регистр. Если значение кода предыдущей выборки сохраняется на выходе АЦП в течение времени $t_{в,р,мин}$ после прихода тактового импульса, то установление кода последующей выборки может происходить в интервале времени от $t_{в,р,мин}$ до $t_{в,р,макс}$. Очевидно, что считывание информации в течение этого времени разброса (задержки) недопустимо.

Задержка прохождения кодовой информации через выходной буферный регистр не превышает длительности периода следования тактовых импульсов. Таким образом, в СБИС АЦП кодирование сигнала и смена кода на выходе осуществляются за один период следования тактовых импульсов.

Основные параметры

Номинальное напряжение питания (выводы 6, 27, 42 — 55)	-6 В
Номинальное значение опорного напряжения:	
$U_{оп1}$ (вывод 8) ¹	0 В
$U_{оп2}$ (вывод 25) ²	-2,864 В
Ток потребления (по шине выводов 6, 27, 42 — 55) при $U_{п} = -6,3$ В, $U_{оп1} = 0$ В, $U_{оп2} = -2,864$ В, $T = -10...+70^{\circ}$ С, не менее	-1,4 А

Ток потребления от источника опорного напряжения $U_{оп2}$ (по выводу 25) при $U_{п} = -6,3$ В, $U_{оп1} = 0$ В, $U_{оп2} = -2,864$ В, $T = -10...+70^{\circ}$ С, не менее	30 мА
Выходное напряжение высокого уровня при $U_{п} = -6,3$ В, $U_{оп1} = 0$ В, $U_{оп2} = -2,864$ В, $T = -10...+70^{\circ}$ С	-1,1...-0,7 В
Выходное напряжение низкого уровня при $U_{п} = -5,7$ В, $U_{оп1} = 0$ В, $U_{оп2} = -2,864$ В, $T = -10...+70^{\circ}$ С	-2,2...-1,5 В
Входное напряжение смещения нуля при $U_{п} = -6,3$ В, $U_{оп1} = 0$ В, $U_{оп2} = -2,864$ В, $T = -10...+70^{\circ}$ С	-10...10 мВ
Напряжение смещения конечной точки характеристики преобразования при $U_{п} = -6,3$ В, $U_{оп1} = 0$ В, $U_{оп2} = -2,864$ В, $T = -10...+70^{\circ}$ С	-10...10 мВ
Входной ток высокого (низкого) уровня аналогового входа при $U_{п} = -6,3$ В, $U_{оп1} = 0$ В, $U_{оп2} = -2,864$ В, $T = -10...+70^{\circ}$ С, не более	2 мА
Входной ток высокого (низкого) уровня по тактовым входам при $U_{п} = -6,3$ В, $U_{оп1} = 0$ В, $U_{оп2} = -2,864$ В, $T = -10...+70^{\circ}$ С, не более	40 мкА
Абсолютная погрешность преобразования в конечной точке шкалы при $U_{п} = -6,3$ В, $U_{оп1} = 0$ В, $U_{оп2} = -2,864$ В, $T = -10...+70^{\circ}$ С	-0,05...0,05
Нелинейность при $U_{п} = -6,3$ В, $U_{оп1} = 0$ В, $U_{оп2} = -2,864$ В, $T = -10...+70^{\circ}$ С	-1,25...1,25 МР
Дифференциальная нелинейность при $U_{п} = -6,3$ В, $U_{оп1} = 0$ В, $U_{оп2} = -2,864$ В, $T = -10...+70^{\circ}$ С	-1...1 МР
Максимальная частота преобразования при $U_{п} = -5,7$ В, -20 мВ $< U_{оп1} < 20$ мВ, $-28,6$ мВ $< U_{оп2} < 28,6$ мВ: $T = +25^{\circ}$ С:	
КМ1107ПВ6А	20 МГц
КМ1107ПВ6Б	15 МГц
$T = -10$ и $+70^{\circ}$ С:	
КМ1107ПВ6А	15 МГц
КМ1107ПВ6Б	10 МГц
Максимальная частота входного сигнала при $U_{п} = -5,7$ В, -20 мВ $< U_{оп1} < 20$ мВ, $-28,6$ мВ $< U_{оп2} < 28,6$ мВ, $T = -10...+25^{\circ}$ С	505 кГц
Число разрядов при $U_{п} = -6,3$ В, $U_{оп1} = 0$ В, $U_{оп2} = -2,864$ В, $T = -10...+70^{\circ}$ С	10

Примечания. 1. Опорное напряжение $U_{оп1}$ устанавливается и измеряется на выводе 7 ($U_{оп1ос}$) относительно шины выводов 9, 10, 15, 18, 23, 24 (аналоговая земля). 2. Опорное напряжение $U_{оп2}$ устанавливается и измеряется на выводе 26 ($U_{оп2ос}$) относительно вывода 7 ($U_{оп1ос}$).

Дополнительные параметры (типовые значения)

Время преобразования	130 нс
Диапазон входного напряжения	0...-2,86 В
Входная емкость	520 пФ

Предельные эксплуатационные данные

Напряжение питания (выводы 6, 27, 42 — 55)	-6,3...-5
Опорное напряжение:	
$U_{оп1}$ (вывод 8)	0...0,1 В
$U_{оп2}$ (вывод 25)	-3...-2,8 В

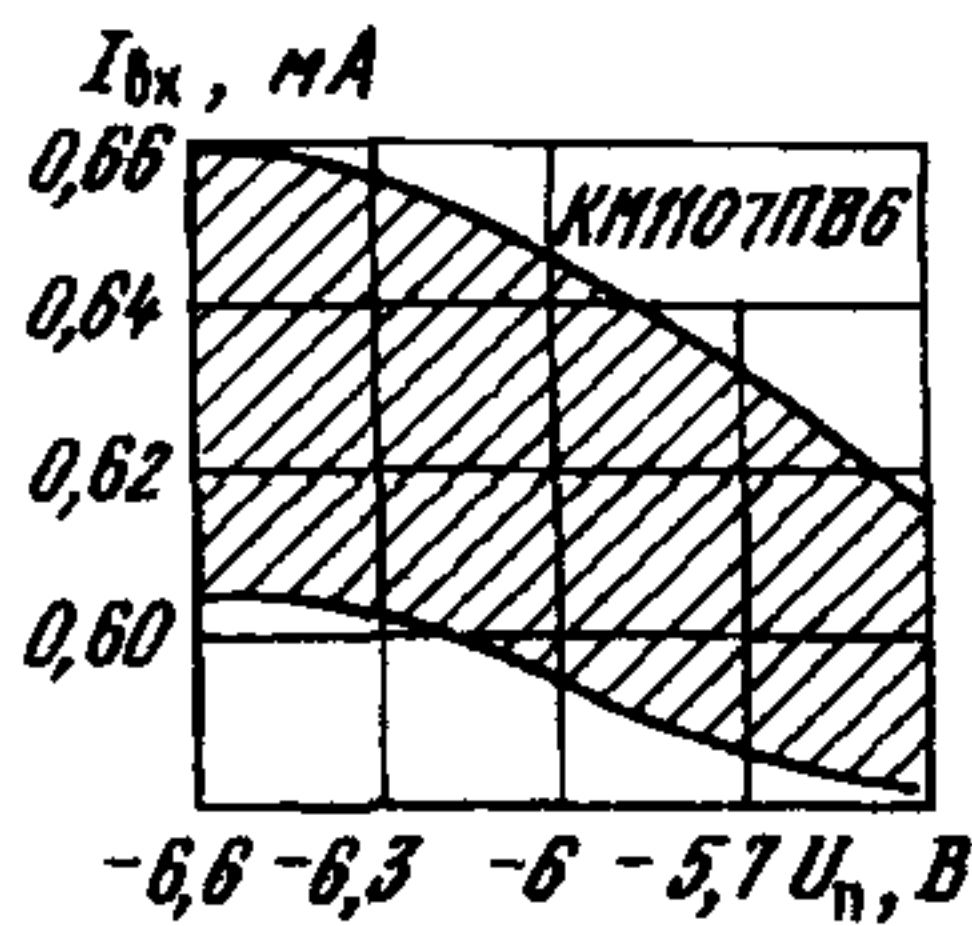
Входное аналоговое напряжение	-3...0,1 В
Максимальная частота преобразования	15 МГц
Максимальная частота входного сигнала	2 МГц
Температура окружающей среды	-10...+70° С

Примечания. 1. Значения опорных напряжений измеряются с учетом условий, указанных в примечании выше. 2. Допускается воздействие статического потенциала не более 200 В.

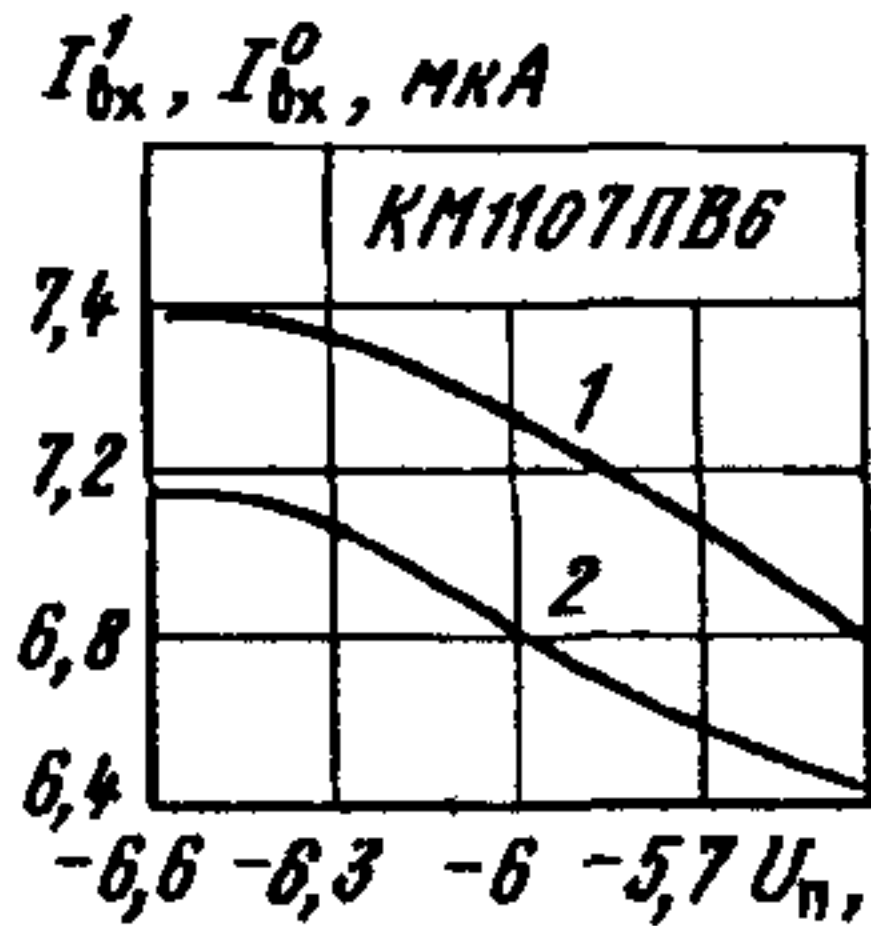
**Предельные электрические режимы
(выдержка не более 1 ч за весь период эксплуатации)**

Напряжение питания (выводы 6, 27, 42 — 55), не менее	-6,9 В
Опорное напряжение:	
$U_{оп1}$ (вывод 8), не более	0,11 В
$U_{оп2}$ (вывод 25), не менее	-3,3 В
Входное аналоговое напряжение	-3,3...0,11 В

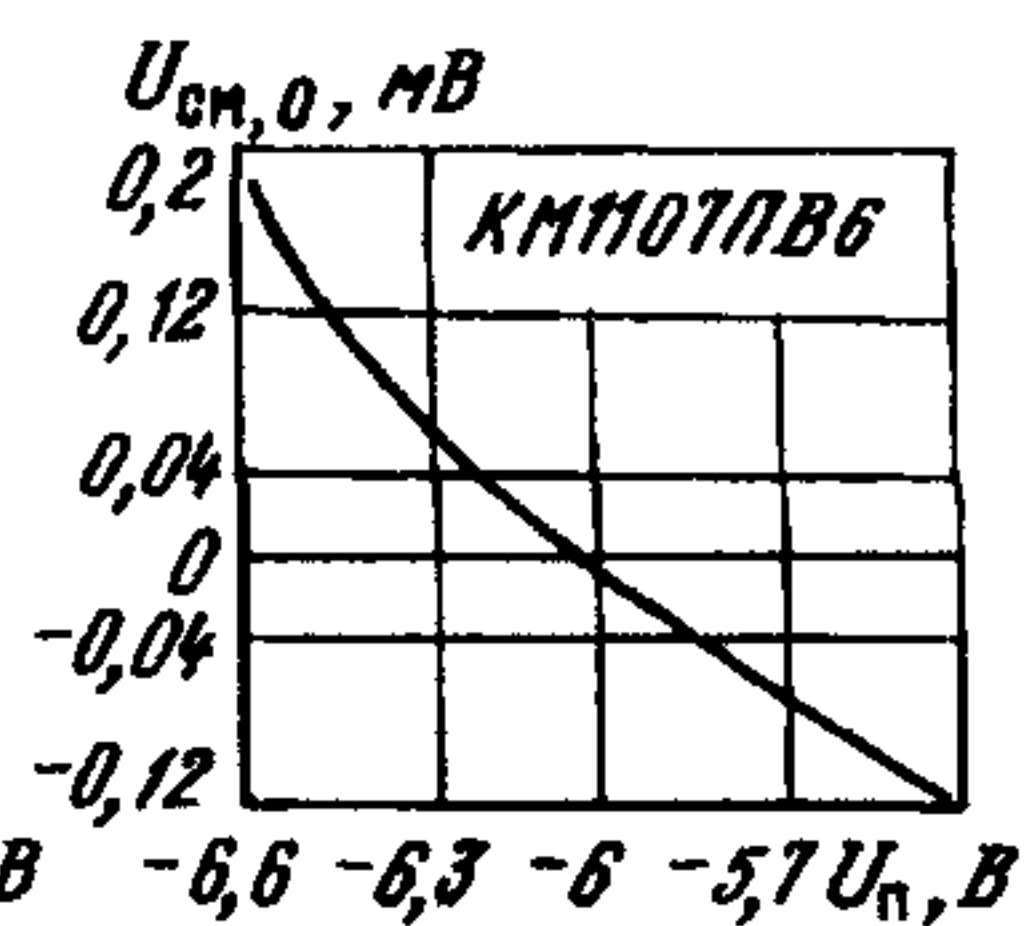
Примечания. 1. Значения опорных напряжений измеряются с учетом условий, указанных в примечании выше. 2. Одновременная подача предельных режимов эксплуатации не допускается.



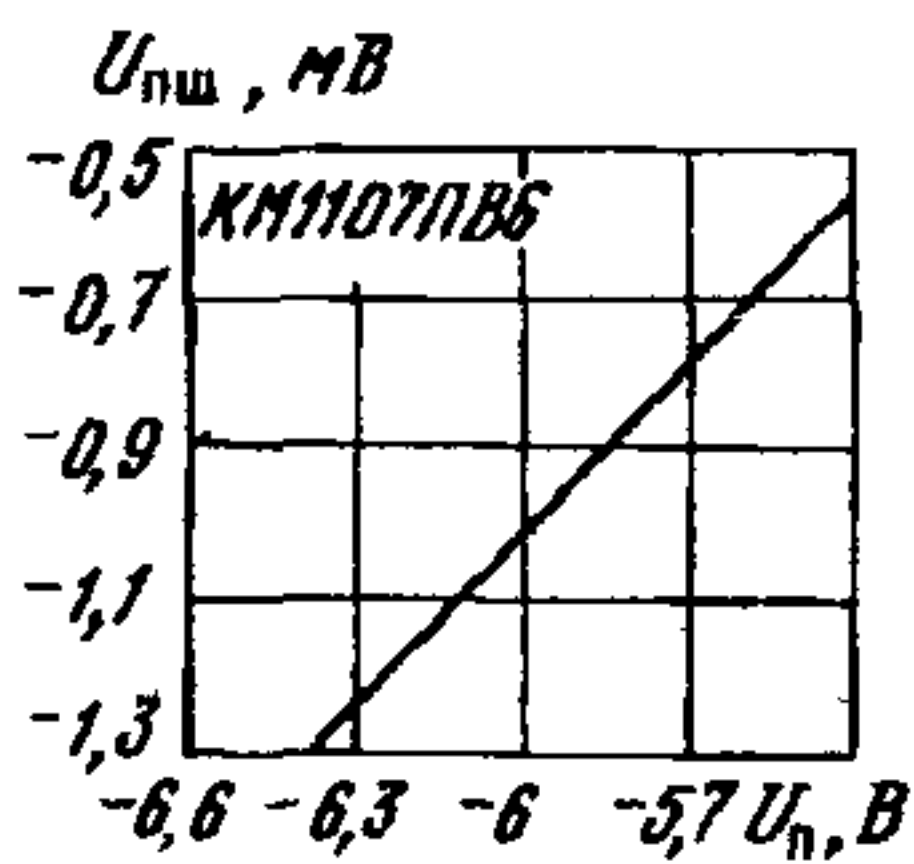
Зависимость входного тока на аналоговом входе KM1107PB6 от напряжения питания при $T = +25^\circ \text{C}$. Заштрихована область разброса параметра для 95 % ИС



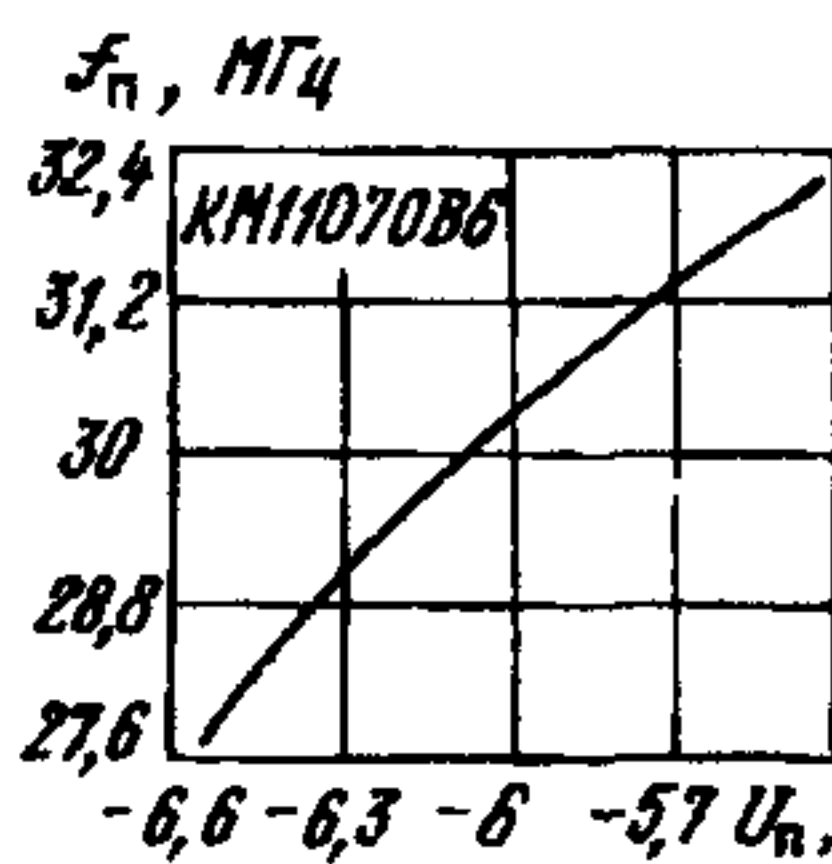
Типовые зависимости входных токов высокого ($I_{вх}^1$) и низкого ($I_{вх}^0$) уровней на цифровом входе KM1107PB6 от напряжения питания при $U_{вх}^1 = -0,75 \text{ В}$, $U_{вх}^0 = -1,75 \text{ В}$, $T = 25^\circ \text{C}$



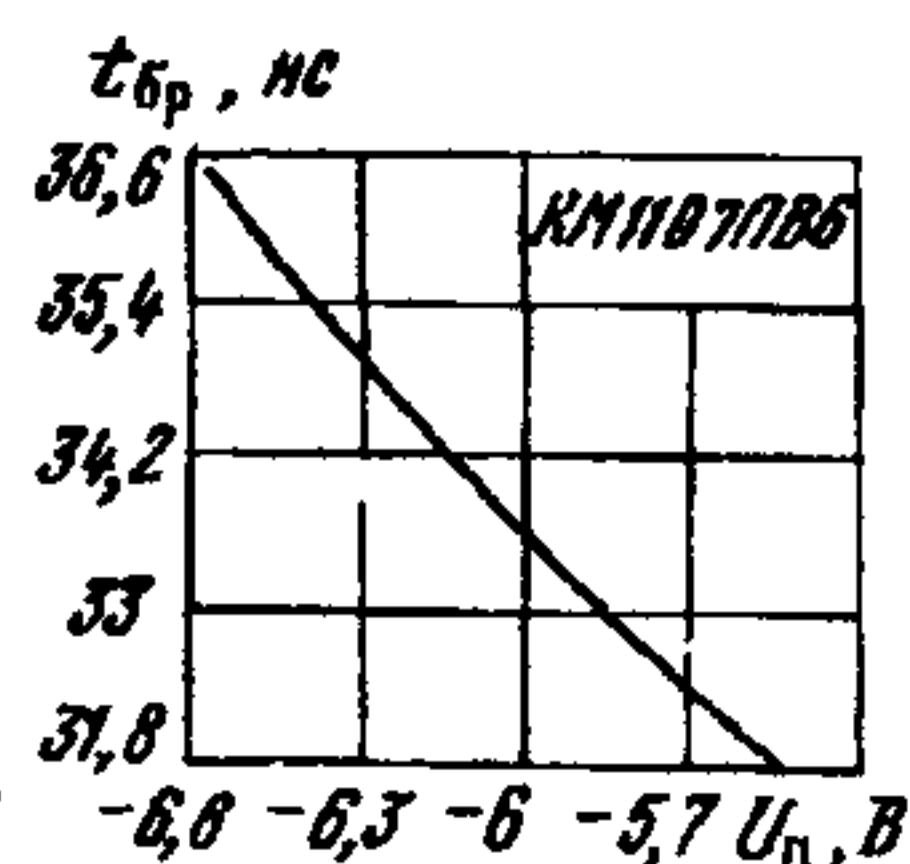
Типовая зависимость входного напряжения смещения нуля KM1107PB6 от напряжения питания при $U_{оп1} = 0 \text{ В}$, $U_{оп2} = -2,864 \text{ В}$, $T = +25^\circ \text{C}$



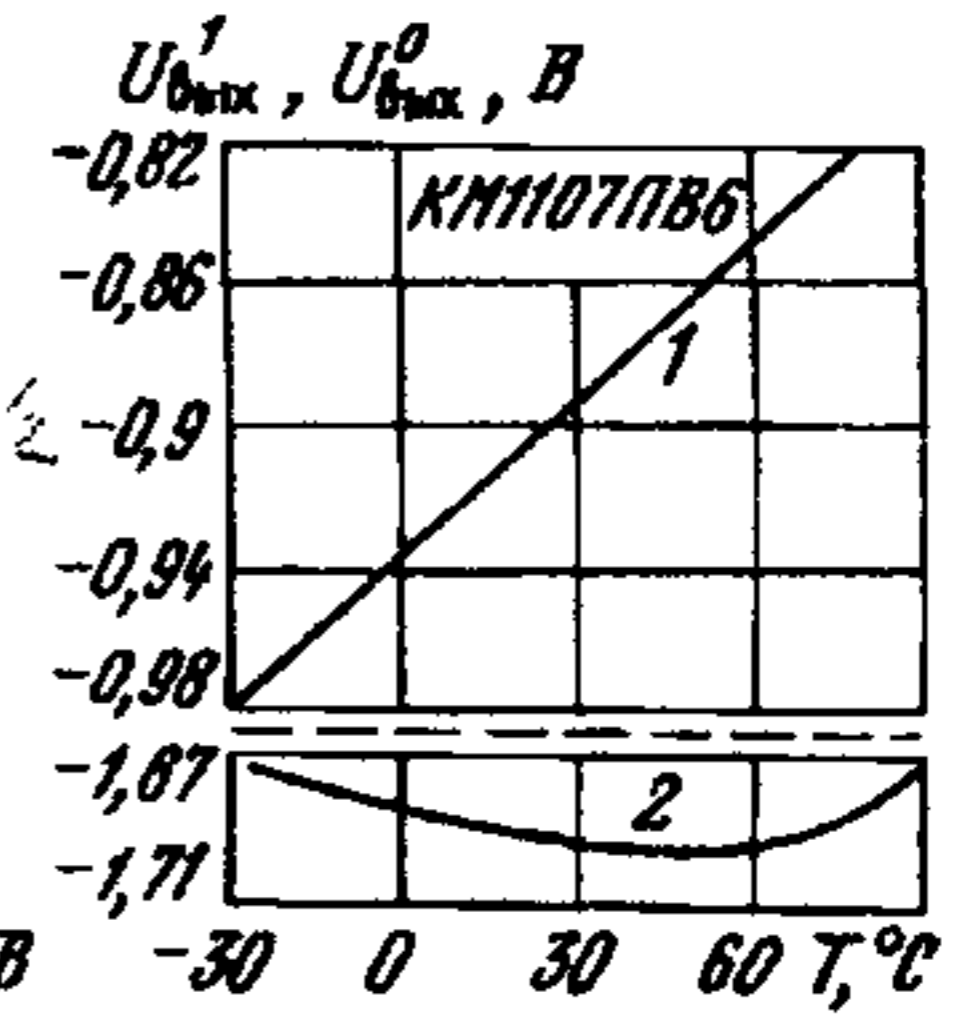
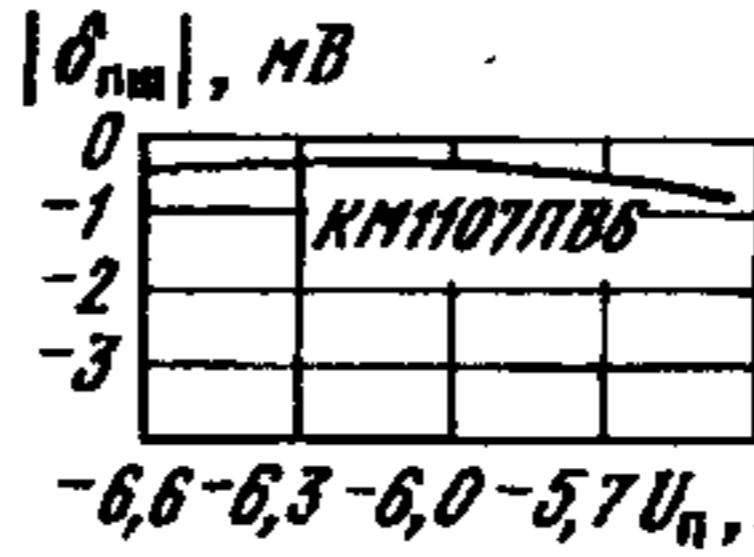
Типовая зависимость напряжения смещения конечной точки характеристики преобразования KM1107PB6 от напряжения питания при $U_{оп1} = 0 \text{ В}$, $U_{оп2} = -2,864 \text{ В}$, $T = +25^\circ \text{C}$



Типовая зависимость частоты преобразования KM1107PB6 от напряжения питания при $U_{оп1} = 0 \text{ В}$, $U_{оп2} = -2,864 \text{ В}$, $T = +25^\circ \text{C}$



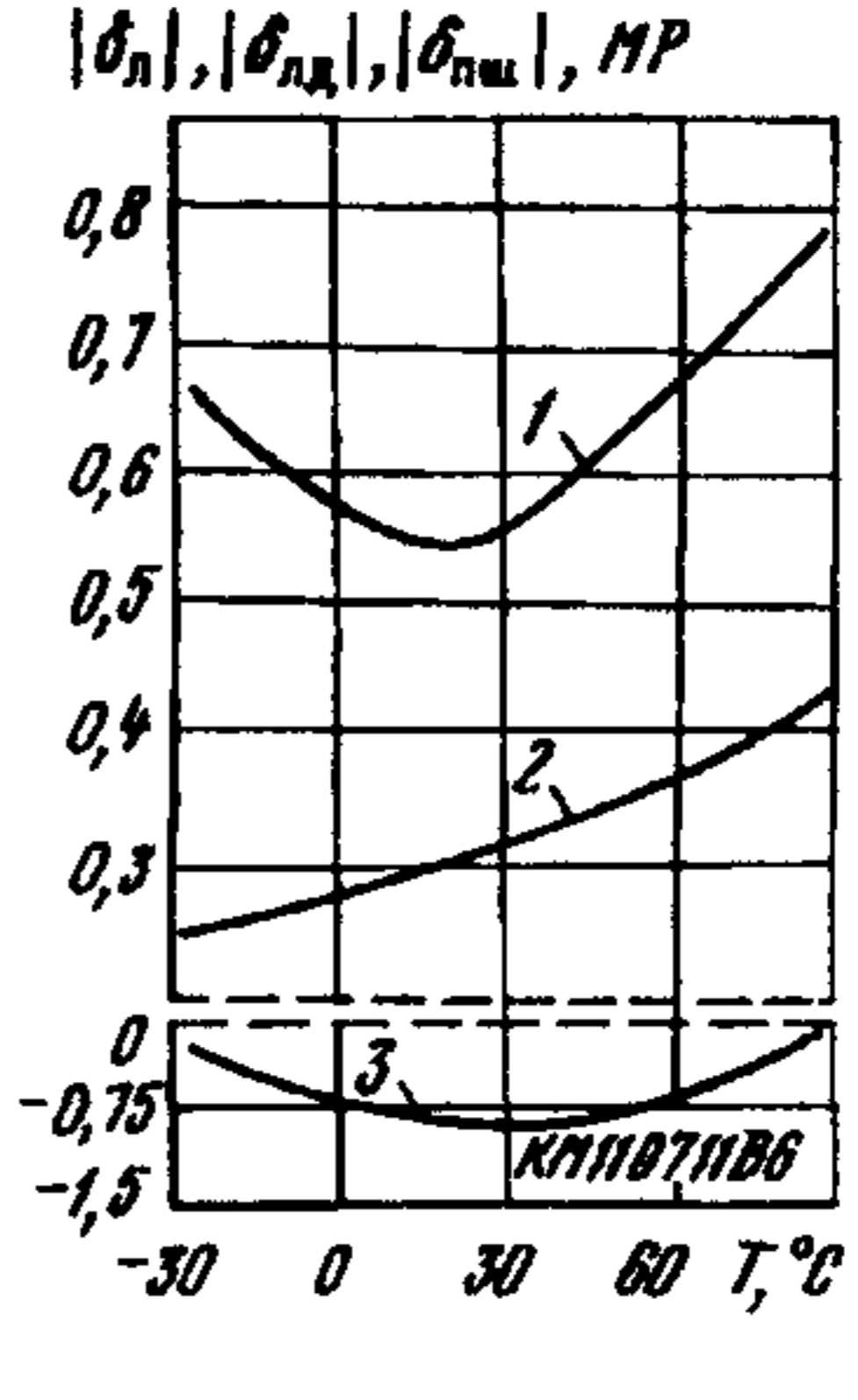
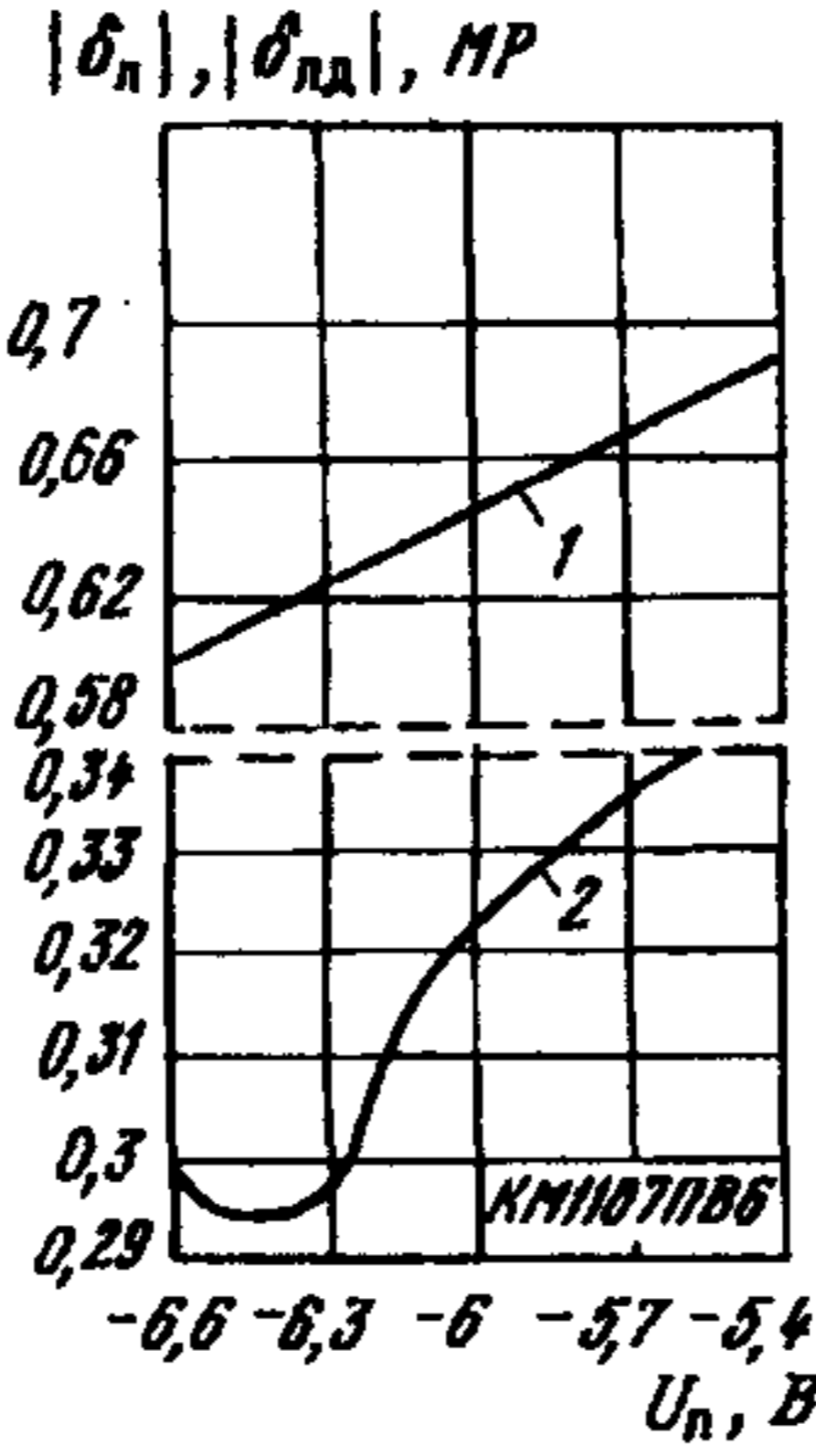
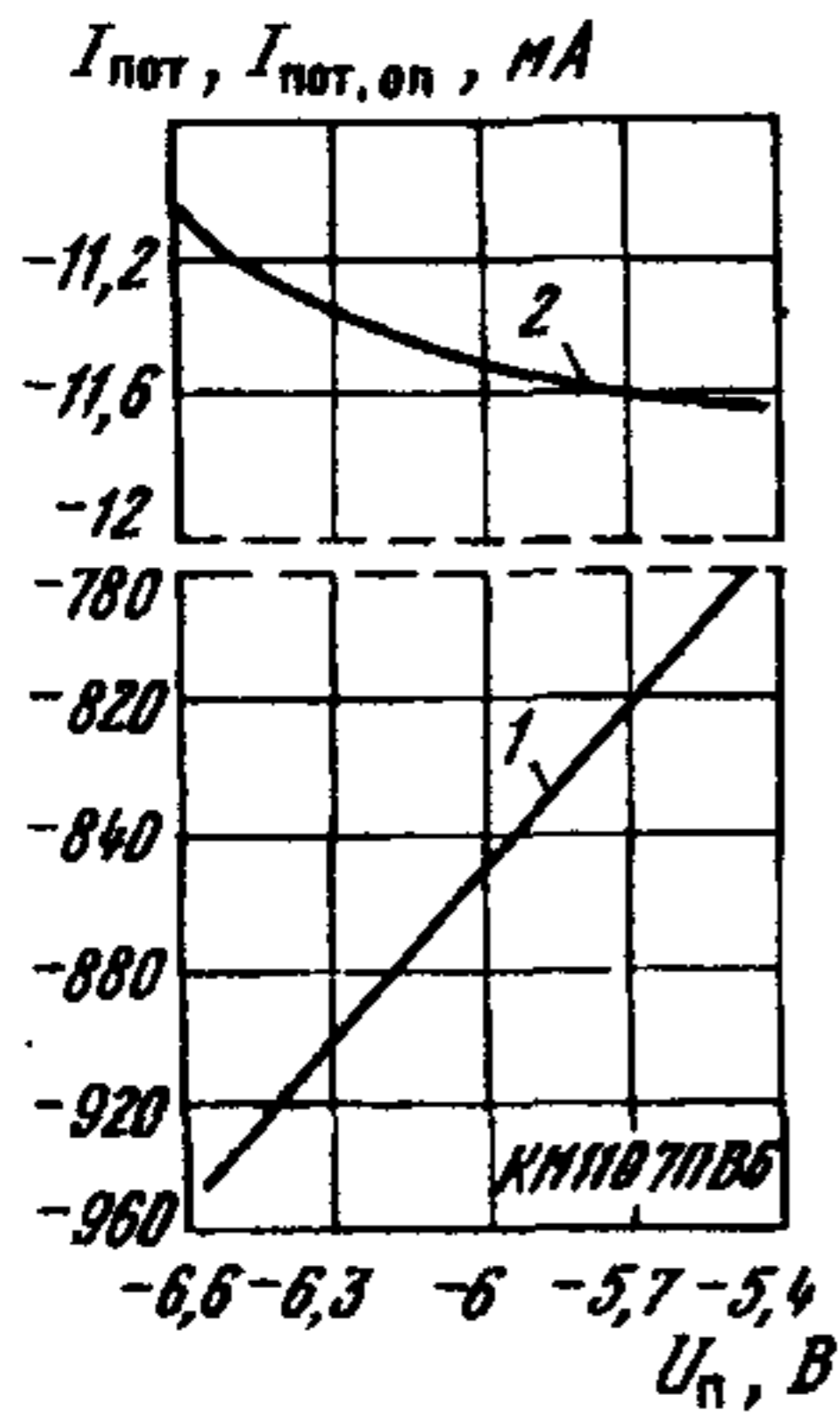
Типовая зависимость времени задержки прохождения кода через выходной буферный регистр KM1107PB6 от напряжения питания при $T = +25^\circ \text{C}$



Типовые зависимости выходного напряжения высокого ($U^1_{вых}$) и низкого ($U^0_{вых}$) уровней КМ1107ПВ6 от напряжения питания при $T = +25^\circ\text{C}$

Типовая зависимость абсолютной погрешности преобразования конечной точки шкалы КМ1107ПВ6 от напряжения питания при $U_{оп1} = 0\text{ В}$, $U_{оп2} = -2,864\text{ В}$, $T = +25^\circ\text{C}$

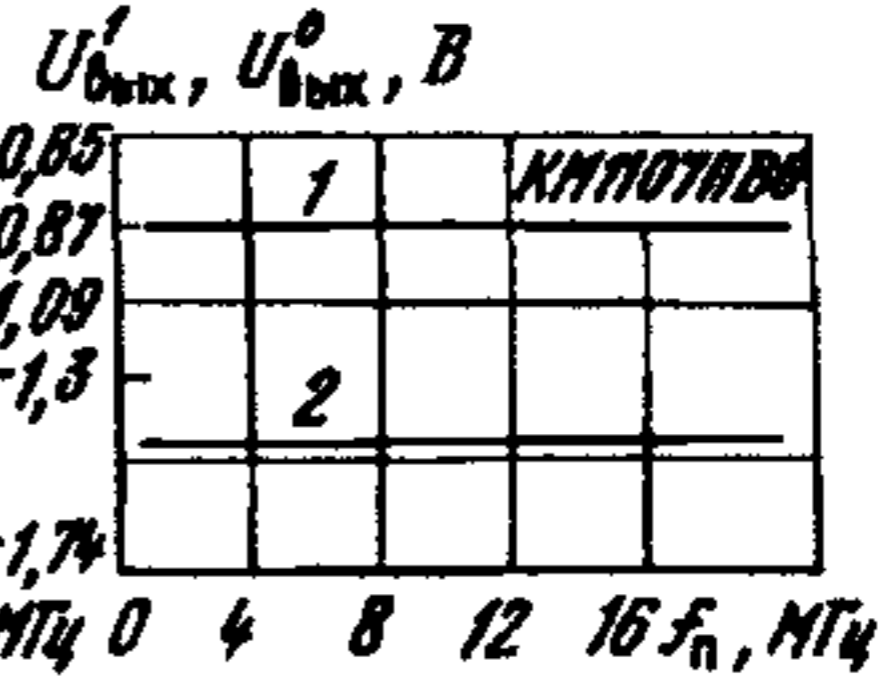
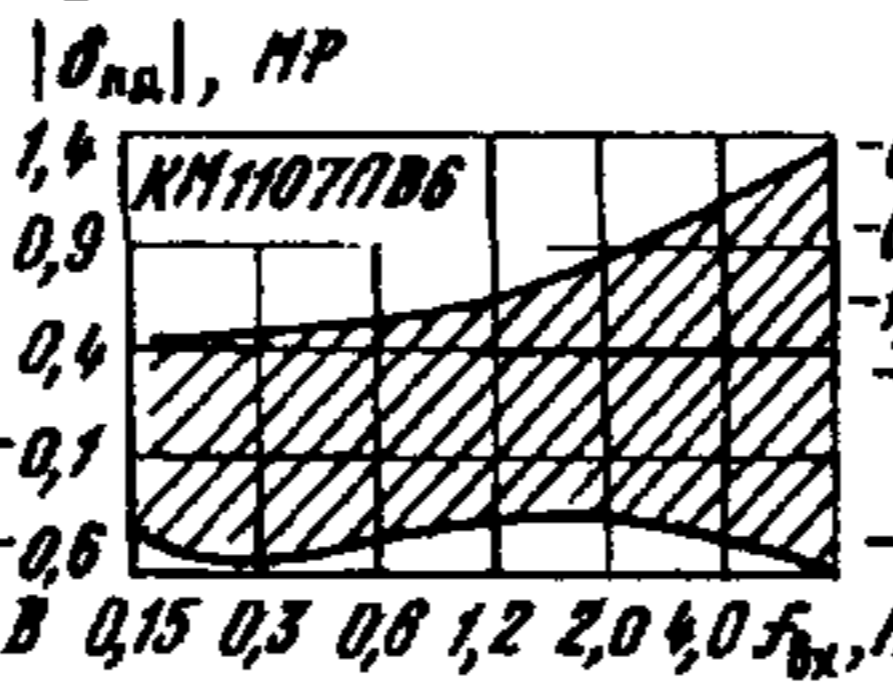
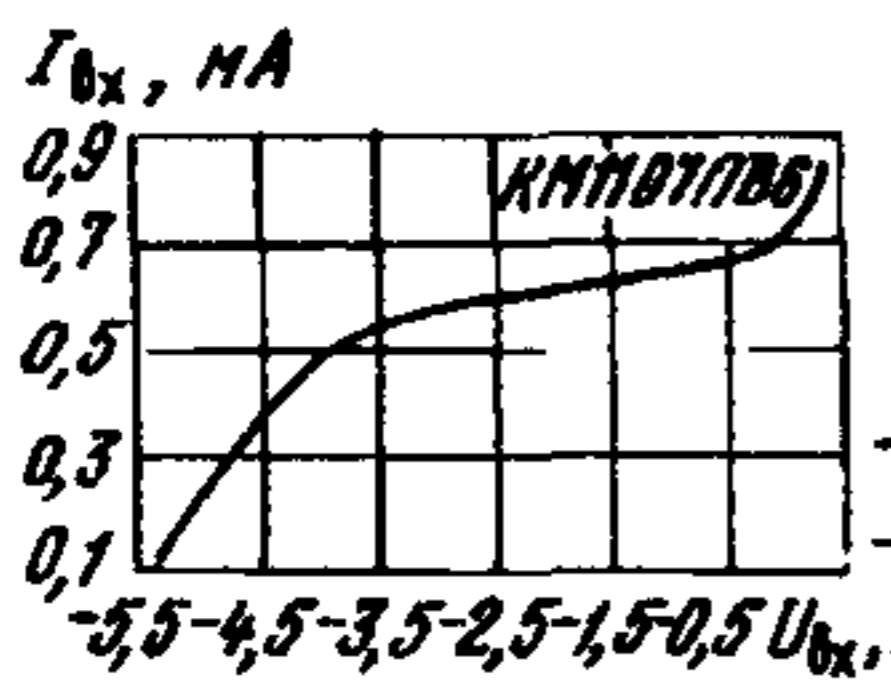
Типовые зависимости выходного напряжения высокого и низкого уровней КМ1107ПВ6 от температуры окружающей среды при $U_{п} = -6\text{ В}$: 1 — $U^1_{вых}$; 2 — $U^0_{вых}$



Типовые зависимости токов потребления от источников питания и опорного напряжения КМ1107ПВ6 от напряжения питания: 1 — $I_{пот}$ при $U_{вх} = 0,1\text{ В}$, $T = +25^\circ\text{C}$; 2 — $I_{пот.оп}$ при $U_{оп1} = 0\text{ В}$, $U_{оп2} = -2,864\text{ В}$, $T = +25^\circ\text{C}$

Типовые зависимости нелинейности и дифференциальной нелинейности КМ1107ПВ6 от напряжения питания при $U_{оп1} = 0\text{ В}$, $U_{оп2} = -2,864\text{ В}$, $T = +25^\circ\text{C}$: 1 — л, 2 — лд.

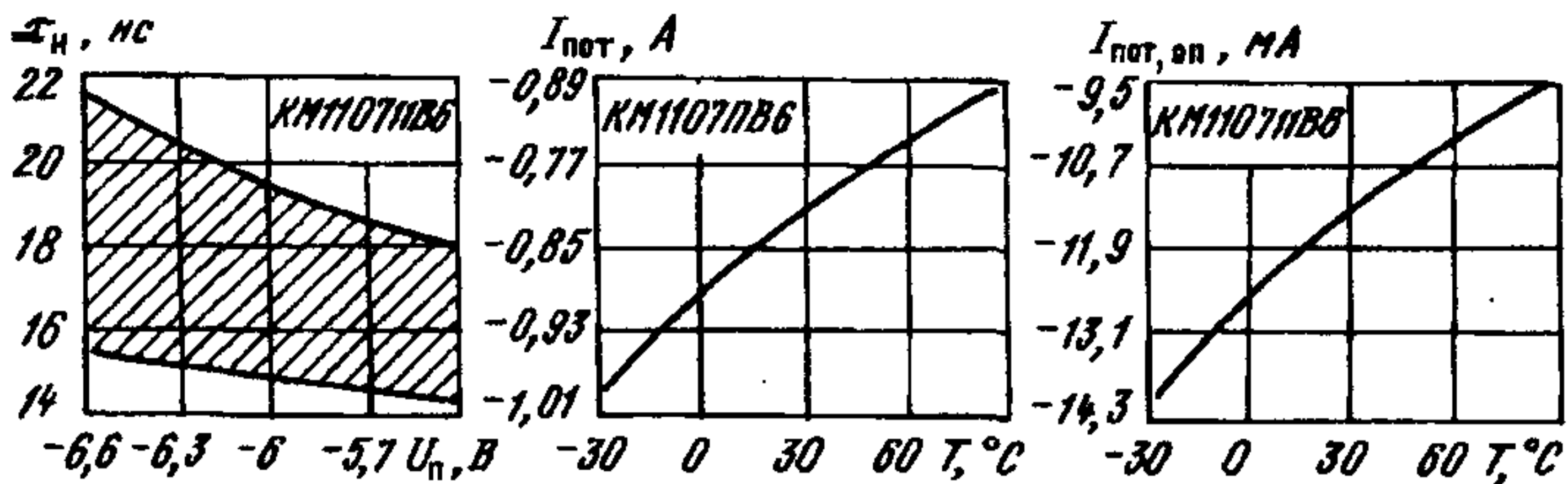
Типовые зависимости нелинейности, дифференциальной нелинейности и абсолютной погрешности преобразования в конечной точке шкалы КМ1107ПВ6 от температуры окружающей среды при $U_{п} = -6\text{ В}$, $U_{оп1} = 0\text{ В}$, $U_{оп2} = -2,864\text{ В}$: 1 — л; 2 — лд; 3 — пш



Типовая зависимость входного тока КМ1107ПВ6 от напряжения при $U_{п} = -6\text{ В}$, $U_{оп1} = 0\text{ В}$, $U_{оп2} = -2,864\text{ В}$, $T = +25^\circ\text{C}$

Зависимость дифференциальной нелинейности КМ1107ПВ6 от частоты входного аналогового сигнала при $f_{п} = 15\text{ МГц}$, $U_{п} = -6\text{ В}$, $U_{оп2} = -2,864\text{ В}$, $T = +25^\circ\text{C}$. Заштрихована область разброса значений параметра для 95% ИС

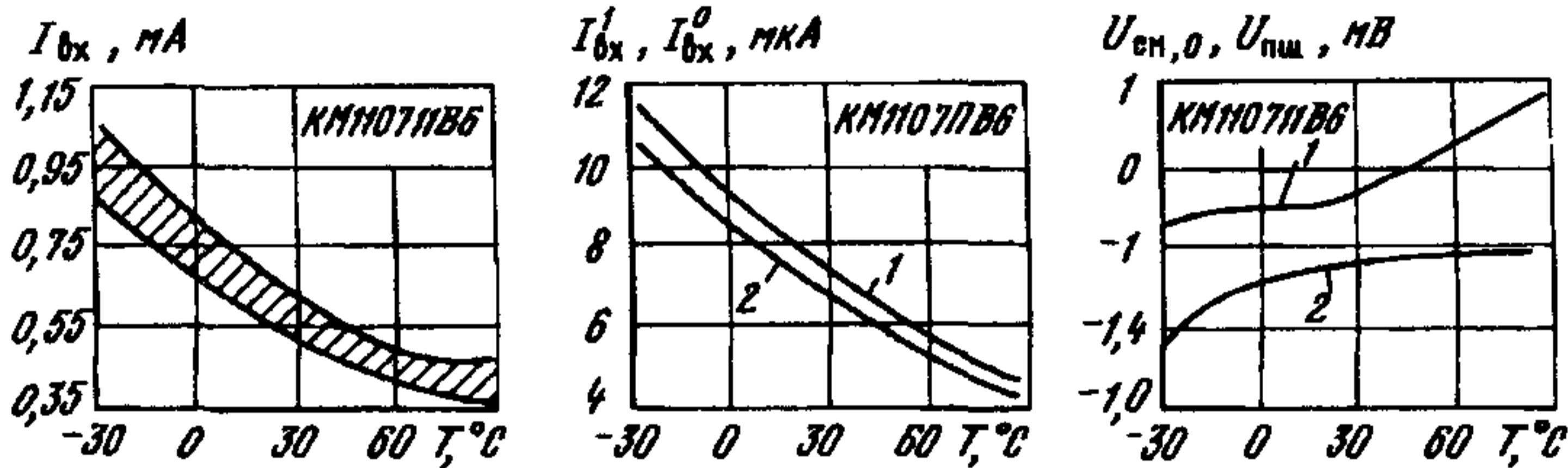
Типовые зависимости выходного напряжения высокого и низкого уровней КМ1107ПВ6 от частоты преобразования при $U_{п} = -6\text{ В}$, $T = +25^\circ\text{C}$: 1 — $U^1_{вых}$; 2 — $U^0_{вых}$



Зависимость длительности тактового импульса КМ1107ПВ6 от напряжения питания при $T = +25^\circ \text{C}$. Заштрихована область разброса значений параметра для 95 % ИС

Типовая зависимость тока потребления КМ1107ПВ6 от температуры окружающей среды при $U_n = -6 \text{ В}$, $U_{вх} = 0,1 \text{ В}$

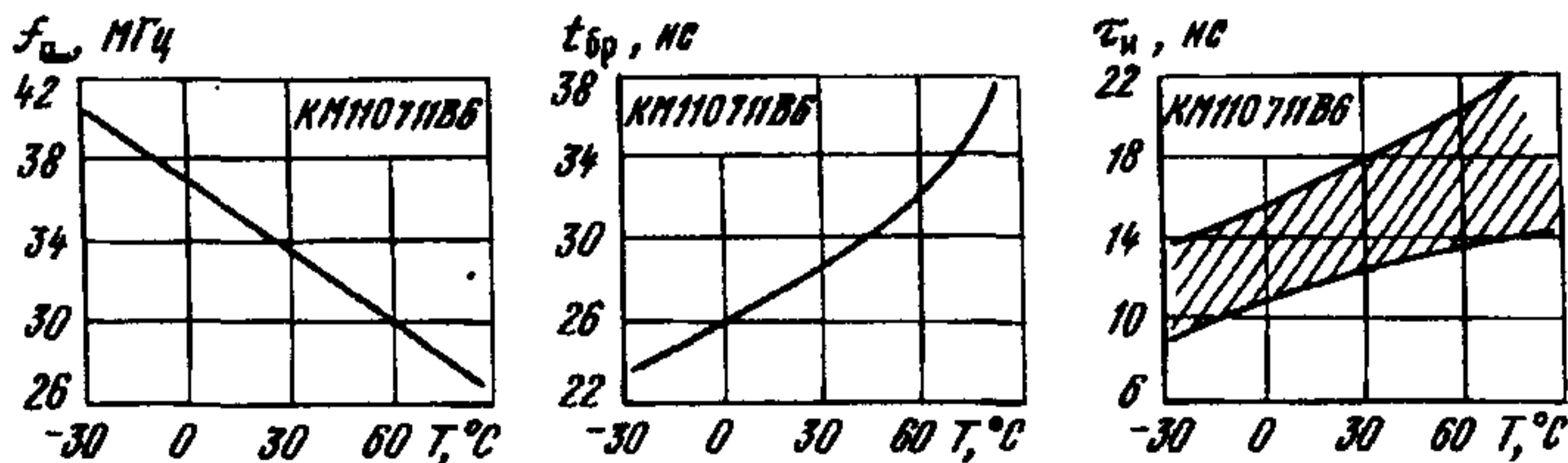
Типовая зависимость тока потребления КМ1107ПВ6 от опорного источника от температуры окружающей среды при $U_{оп1} = 0 \text{ В}$, $U_{оп2} = -2,864 \text{ В}$, $U_n = -6 \text{ В}$



Зависимость входного тока на аналоговом входе КМ1107ПВ6 от температуры окружающей среды при $U_n = -6 \text{ В}$, $U_{оп1} = 0 \text{ В}$, $U_{оп2} = -2,864 \text{ В}$. Заштрихована область разброса значений параметра для 95 % ИС

Типовые зависимости входных токов высокого и низкого уровней на цифровом входе КМ1107ПВ6 от температуры окружающей среды при $U_{вх}^1 = -0,75 \text{ В}$, $U_{вх}^0 = -1,75 \text{ В}$, $U_n^1 = -6 \text{ В}$: 1 — $I_{вх}^1$; 2 — $I_{вх}^0$

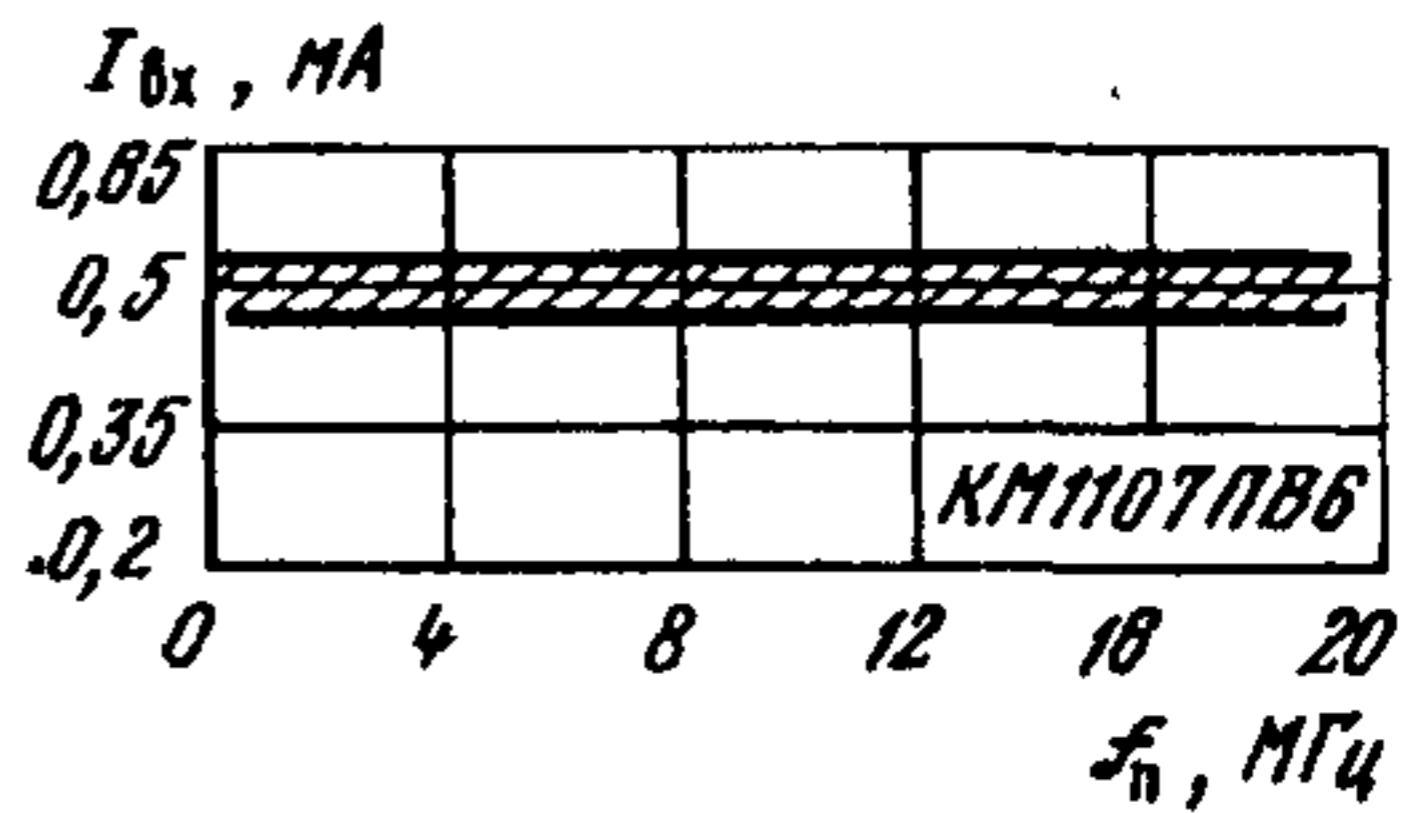
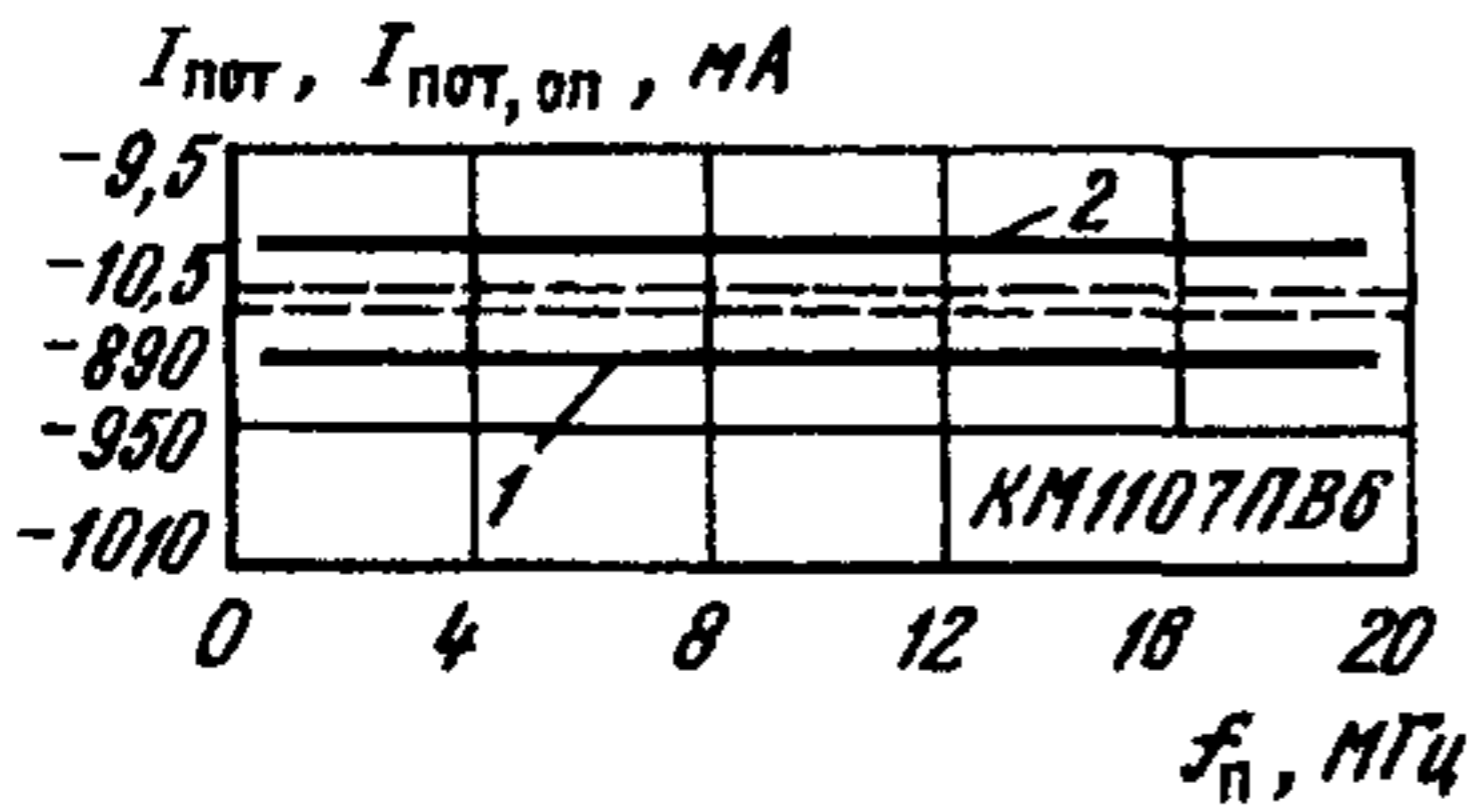
Типовые зависимости входного напряжения смещения нуля и конечной точки шкалы характеристики преобразования КМ1107ПВ6 от температуры окружающей среды при $U_n = -6 \text{ В}$, $U_{оп} = 0 \text{ В}$, $U_{оп2} = -2,864 \text{ В}$: 1 — $U_{см0}$; 2 — $U_{пш}$



Типовая зависимость максимальной частоты преобразования КМ1107ПВ6 от температуры окружающей среды при $U_n = -6 \text{ В}$, $U_{оп1} = 0 \text{ В}$, $U_{оп2} = -2,864 \text{ В}$

Типовая зависимость времени задержки прохождения кода через выходной буферный регистр КМ1107ПВ6 от температуры окружающей среды при $U_n = -6 \text{ В}$

Зависимости длительности тактового импульса КМ1107ПВ6 от температуры окружающей среды при $U_n = -6 \text{ В}$. Заштрихована область разброса значений параметра для 95 % ИС



Типовые зависимости токов потребления от источников питания и опорного напряжения KM1107PB6 от частоты преобразования:

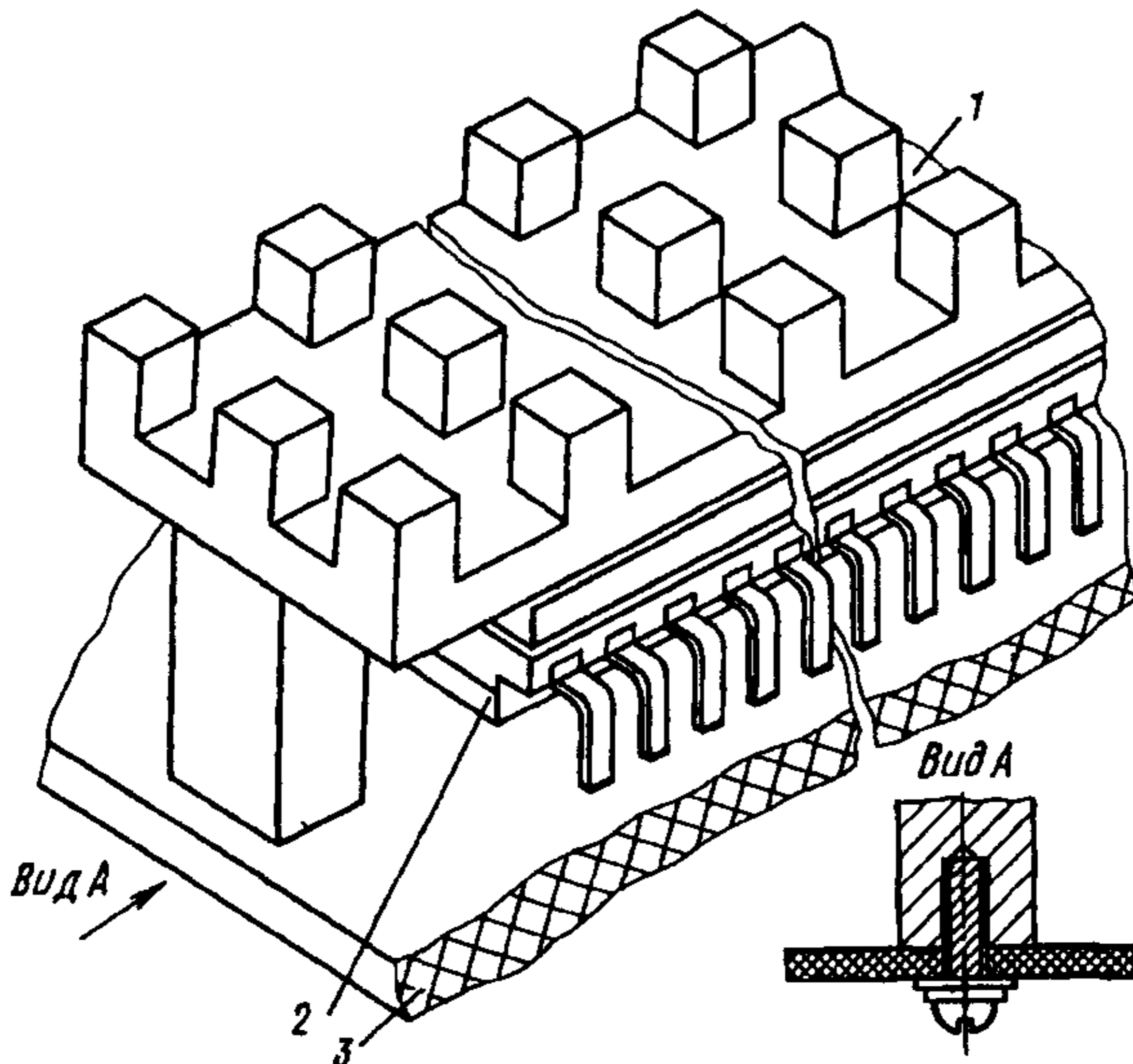
1 — $I_{пот}$ при $U_{п} = -6$ В, $T = +25^{\circ}$ С;
 2 — $I_{пот,оп}$ при $U_{п} = -6$ В, $U_{оп1} = 0$ В, $U_{оп2} = -2,864$ В, $T = +25^{\circ}$ С

Зависимость входного тока на аналоговом входе KM1107PB6 от частоты преобразования при $U_{п} = -6$ В, $T = +25^{\circ}$ С. Заштрихована область разброса значений параметра для 95 % ИС

Рекомендации по применению

1. Амплитуда напряжения пульсаций не более 60 мВ. Амплитуда переходных или паразитных сигналов по цепям питания длительностью 1 мкс не более 30 мВ.

2. Перед распайкой на плату игольчатый радиатор СБИС АЦП прикручивается к плате с помощью двух винтов М3 по ГОСТ 17473 (см. рисунок). При этом винты должны быть вкручены в радиатор не более чем на 5 мм. Под каждый винт ставится шайба по ГОСТ 6958 или ГОСТ 6402.



Крепление БИС KM1107PB6 в корпусе типа 2147.64-2 на плату

3. Первый вывод интегральной схемы со стороны посадочного колодца обозначен металлизированной точкой, выполненной при изготовлении корпуса. При ориентации СБИС маркировочным выступом радиатора вниз (вид со стороны радиатора) первый вывод находится слева от выступа.

4. Компенсация напряжения смещения нуля на аналоговом входе (на шине выводов 9, 11, 12, 14, 16, 19, 20, 22, 24) осуществляется регулировкой опорного напряжения $U_{оп1}$ или подачей постоянного компенсирующего напряжения.

5. Компенсация напряжения смещения конечной точки характеристики преобразования проводится регулировкой опорного напряжения $U_{оп2}$. Отклонение $U_{оп2}$ вызывает дополнительную погрешность, эквивалентную абсолютной погрешности преобразования в конечной точке шкалы.

6. Компенсация нелинейности осуществляется подачей компенсирующих напряжений U_{13} , U_{17} , U_{21} на соответствующие выводы СБИС. Значения этих напряжений могут иметь разброс до 2 МР. При настройке вначале устанавливается опорное напряжение $-2,864$ В между выводами 7 и 26. Затем устанавливаются значения компенсирующих напряжений (относительно вывода 7) с помощью балансирующих резисторов операционных усилителей DA3 — DA5 (см. схему включения).

7. Для организации режима преобразования входного биполярного аналогового сигнала необходимо сместить его нулевое значение на середину диапазона преобразования. Вывод 17 СБИС может служить источником опорного напряжения для реализации этого смещения.

8. Поскольку СБИС АЦП имеет парафазные выходы, то при использовании:

только прямых выходов (выводы 40, 38, 36, 34, 32, 57, 59, 61, 63, 1) получается прямой двоичный параллельный цифровой код;

только инверсных выходов (выводы 39, 37, 35, 33, 31, 58, 60, 62, 64, 2) получается обратный двоичный параллельный цифровой код;

прямых выходов младших девяти разрядов (выводы 38, 36, 34, 32, 57, 59, 61, 63, 1) и инверсного старшего (вывод 39) получается прямой дополнительный параллельный цифровой код;

инверсных выходов младших девяти разрядов (выводы 37, 35, 33, 31, 58, 60, 62, 64, 2) и прямого старшего (вывод 40) получается обратный дополнительный параллельный цифровой код.

9. Подведение каких-либо электрических сигналов к корпусу СБИС и обрезка его незадействованных выводов запрещаются. Допускается подключение незадействованных выводов СБИС к общей шине (аналоговой земле, выводы 10, 15, 18, 23).

10. При монтаже СБИС необходимо предусматривать отделение шин цифровой и аналоговой земли, а также шин питания аналоговой и цифровой частей АЦП с соединением их только в соответствующих точках на зажимах источника питания.

11. На плате разность потенциалов между выводами СБИС 9, 11, 12, 14, 16, 19, 20, 22, 24 (шина аналоговой земли) и 3, 30, 41, 56 (шина цифровой земли), а также 6, 27, 43, 54 (питание цифровых выходных каскадов) и 42, 44 — 53, 55 (питание компараторов напряжения и шифратора) не должно превышать 50 мВ.

12. Температура корпуса (радиатора) при функционировании СБИС АЦП в рабочем диапазоне температур не должна превышать $+85^{\circ}$ С.

13. Порядок подачи электрических режимов на выводы СБИС АЦП следующий: шины цифровой и аналоговой земли, источник опорного напряжения $U_{оп1}$, источник входного сигнала $U_{вх}$, источник напряжения питания $-U_{п}$, источник опорного напряжения $-U_{оп2}$. Порядок снятия электрических режимов рекомендуется обратным.

14. На типовой схеме включения СБИС АЦП условно не показаны цепи коррекции ОУ, поскольку они зависят от конкретного типа применяемого усилителя. В целом такие усилители должны иметь малый температурный дрейф напряжения смещения нуля и выводы для подключения подстроечных резисторов его компенсации.

Рекомендуется выбирать ОУ исходя из требуемого температурного режима работы платы, на которой находится СБИС АЦП. Так, для работы при температуре окружающей среды $25 \pm 10^\circ \text{C}$ вполне допустимо использование ОУ К140УД7 с цепями коррекций, обеспечивающими устойчивую работу схемы на емкостную нагрузку.

Требования по входному буферному усилителю таковы, что он должен обеспечивать малый (менее 0,1 %) коэффициент гармоник в рабочем частотном диапазоне при работе на емкостную нагрузку в 500 пФ и размахе входного сигнала -3 В .

Схема включения

Конденсаторы С6 — С8 (схема на стр. 278, 279) используются для улучшения соотношения сигнал-шум на входе преобразователя. Допуск на сопротивления резисторов R1 — R4 не должен превышать 0,05 %. Собственно они выбираются в диапазоне 300...500 Ом в зависимости от типов используемых ОУ DA1 — DA4. Необходимо только выполнять условие, что дополнительное падение напряжения, вызываемое протеканием входных токов ОУ через резисторы делителя R1 — R4, не должно эквивалентно превышать 0,1 от единицы МР.

Резисторы R7 — R15 используются для предотвращения самовозбуждения КН АЦП, вероятность которого возрастает с увеличением индуктивной составляющей цепей аналогового входа. Кроме того, они необходимы для выравнивания задержек распространения входного аналогового сигнала по разным выводам (блокам КН) из-за различной длины траверсов корпуса СБИС от места приварки монтажных проводников до выводов корпуса. Специальным подбором сопротивлений резисторов R7 — R15 компенсируется разброс сопротивлений цепей соединений и минимизируется динамическая составляющая нелинейности АЦП. Рекомендуется устанавливать сопротивления резисторов $R7 - R15 = (15 - 20) \text{ Ом}$ при выполнении условий $R8 = R14$, $R9 = R13$, $R10 = R11 = R12$.

Резисторы R5 и R6 используются в случае нарушения цепи обратной связи ОУ DA6 и DA7.