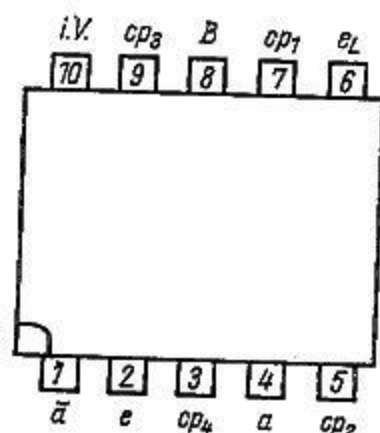


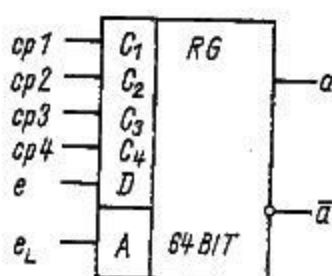
U 352 D

Der integrierte MOS-Schaltkreis U 352 D ist ein dynamischer 64-bit-Serienspeicher für negative Logik. Für den Betrieb werden 4 externe Taktsignale benötigt.

- 1 = Ausgang \bar{a}
- 2 = Dateneingang e
- 3 = Takteingang cp_4
- 4 = Ausgang a
- 5 = Takteingang cp_2
- 6 = Ladeeingang e_L
- 7 = Takteingang cp_1
- 8 = Bulkanschluß B
- 9 = Takteingang cp_3
- 10 = innere Verbindung i. V.



Anschlußbelegung und logisches Schaltbild



Statische Kennwerte bei $\theta_a = 25^\circ\text{C}$

	Meß- bedingungen	min	max
Eingangsreststrom Signal- u. Speichereing.	$-I_i -U_i = 25\text{ V}$		$10\ \mu\text{A}$
Eingangsreststrom Takteingänge	$-I_{cp} -U_t = 31\text{ V}$		$50\ \mu\text{A}$
Ausgangsspannung L	$-U_{oL} -U_{iH} \leq 2\text{ V};$ $-U_{iL} \geq 9\text{ V}$	10	V
Ausgangsspannung H	$-U_{oH} -U_{cpL} = 24\text{ V};$ $-U_{cpH} = 1\text{ V}$ $f = 300\text{ kHz},$ $R_L = 1\text{ M}\Omega$		2 V
Eingangskapazität Signal- u. Speichereing.	C_i } Meßspannung		3 pF
Eingangskapazität Takteingänge	C_{cp} } $\leq 0,2\text{ V}$ $f = 0,5 \dots 2\text{ MHz}$		22 pF

Betriebsbedingungen

Taktspannung	$-U_{cpL}$	24	27 V
	$-U_{cpH}$	0	1 V
Signal- u. Speicher- spannung	$-U_{iL}$	9	24 V
	$-U_{iH}$	0	2 V
Taktfrequenz	f_{cp}	0,01	1 MHz